



ESCUELA POLITÉCNICA SUPERIOR

DEPARTAMENTO DE TECNOLOGIA ELECTRONICA

**GRADO EN INGENIERÍA ELECTRÓNICA INDUSTRIAL Y
AUTOMÁTICA**

TRABAJO FIN DE GRADO

CONTROL BASADO EN FPGA PARA CONVERTIDOR CC/CC ELEVADOR

Autor: Íñigo Sepúlveda Otaola

Tutor: Prof. Dr. Cristina Fernández Herrero

Agradecimientos

Sobre todo a mis padres por todo en general.

A mi novia por todo lo que me ha aguantado.

Y por último pero no menos importante
a todos mis compañeros con los que he compartido anécdotas,
académicas y extraacadémicas.

En especial a Mario, Javi, Sanmi y Juan Antonio.

También acordarme como no de mi tutora del proyecto.

Resumen

El uso de microprocesadores y FPGA para el control digital de convertidores conmutados está en mayor auge debido a la disminución de su precio. En la actualidad, el control digital se aplica en su mayoría a los convertidores reductores. Esto se debe a que tienen una respuesta lineal y se tienen en cuenta un número menor de parámetros.

Sin embargo este TFG (Trabajo fin de Grado) presenta el diseño, modelado e implementación de un convertidor elevador CC/CC controlado digitalmente empleando una FPGA (Field Programmable Gate Array).

Para ello se ha analizado la respuesta dinámica del convertidor elevador controlado en tensión y se ha diseñado un regulador. Este regulador se ha discretizado y se han realizado diferentes validaciones del mismo mediante simulaciones, tanto en el dominio del tiempo como de la frecuencia. Se ha seleccionado el hardware a utilizar para la parte digital (ADC y FPGA) y se ha implementado empleando lenguajes de descripción de hardware (VHDL) un modulador por ancho de pulso basado en contador y el controlador del ADC.

Por último se ha diseñado, construido y probado la etapa de potencia del convertidor elevador.

Abstract

Nowadays the use of digital control is increasing due to the low prices of FPGAs and microcontrollers. Buck converters are further used and studied as far as digital control is concerned. That is because buck converters are easier to control than boost converters.

This Project is a prototype of a DC/DC power converter. It is a boost converter digitally controlled by an FPGA of Xilinx (Field Programmable Gate Array). The features of this converter and of this hardware are studied. Experiments with this converter in open loop will be performed.

Firstly, there is the analog circuit, which is the boost converter made step by step. Secondly, there is the digital hardware, which is an FPGA. This Project is comprised of these two parts, an analog circuit and a digital hardware. Difference equations are explained because they are very important for good control of the system. It has been used the VHDL language (VHSIC Hardware Description Language) to implement a DPWM (Digital Pulse Width Modulation).

ÍNDICE

Agradecimientos	- 3 -
Resumen	- 5 -
Abstract	- 7 -
ÍNDICE.....	- 9 -
ÍNDICE DE ILUSTRACIONES.....	- 11 -
1 INTRODUCCIÓN	- 15 -
1.1 OBJETIVOS Y ESPECIFICACIONES	- 17 -
1.2 VENTAJAS E INCONVENIENTES DEL CONTROL DIGITAL	- 18 -
1.2.1 VENTAJAS	- 18 -
1.2.2 INCONVENIENTES	- 19 -
1.3 APLICACIONES	- 20 -
2 DISEÑO CONVERTIDOR CC/CC ELEVADOR	- 21 -
2.1 CALCULO DE LA PLANTA.....	- 25 -
2.2 COMPONENTES	- 29 -
2.2.1 BOBINA	- 29 -
2.2.2 CONDENSADOR DE SALIDA	- 30 -
2.2.3 MOSFET	- 31 -
2.2.4 DIODO.....	- 32 -
2.3 DISEÑO PCB	- 33 -
3 DISEÑO ETAPA DE CONTROL.....	- 35 -
3.1 FUNCIÓN DE TRANSFERENCIA DE LA PLANTA.....	- 35 -
3.2 GANANCIAS DEL SISTEMA	- 39 -
3.2.1 GANANCIA SENSOR	- 39 -
3.2.2 GANANCIA ADC	- 39 -
3.2.3 GANANCIA DPWM.....	- 40 -
3.3 DISEÑO DEL LAZO DE CONTROL	- 41 -
3.3.1 SISTEMA CONTINUO $H(s)$	- 42 -
3.3.2 SMARTCONTROL	- 46 -
3.3.3 COMPROBACIÓN PSIM $H(s)$	- 49 -
3.3.4 DISCRETIZACION TUSTIN 'PREWARP'	- 51 -
3.3.4.1 COMPROBACIÓN PSIM $H(z)$	- 52 -
3.3.5 ECUACION EN DIFERENCIAS	- 54 -
3.3.5.1 COMPROBACIÓN PSIM ECUACIÓN EN DIFERENCIAS	- 55 -

4	DISEÑO ADC.....	- 59 -
5	RESULTADOS EXPERIMENTALES.....	- 63 -
5.1	CONVERTIDOR EN LAZO ABIERTO	- 63 -
5.1.1	CICLO DE TRABAJO $d = 0'25$	- 68 -
5.1.2	CICLO DE TRABAJO $d = 0'5$	- 71 -
5.1.3	CICLO DE TRABAJO $d = 0'75$	- 74 -
6	PRESUPUESTO	- 79 -
6.1	COSTE DE MATERIAL	- 79 -
6.2	COSTES DE PERSONAL	- 79 -
6.3	PRESUPUESTO FINAL.....	- 80 -
7	CONCLUSIONES	- 81 -
8	REFERENCIAS.....	- 83 -

ÍNDICE DE ILUSTRACIONES

Ilustración 1.1 Diagrama de bloques del sistema	- 15 -
Ilustración 1.2 SISTEMA COMPLETO	- 16 -
Ilustración 2.1 Circuito convertidor elevador	- 21 -
Ilustración 2.2 Circuito con el interruptor encendido	- 22 -
Ilustración 2.3 Circuito con interruptor apagado	- 22 -
Ilustración 2.4 Forma de onda del rizado de corriente por la bobina MCC	- 23 -
Ilustración 2.5 Forma de onda del rizado de corriente por la bobina MCD	- 23 -
Ilustración 2.6 Formas de onda de convertidor elevador	- 24 -
Ilustración 2.7 Distribución de corrientes	- 27 -
Ilustración 2.8 Formas de onda de rizados de tensión y corriente (Diodo, Condensador, Tensión de salida)	- 27 -
Ilustración 2.9 Circuito convertidor elevador CC/CC	- 28 -
Ilustración 2.10 Bobina utilizada	- 29 -
Ilustración 2.11 Formas de onda de PSIM (corriente por la bobina y conmutación)	- 29 -
Ilustración 2.12 Forma de onda de PSIM (Rizado de tensión a la salida)	- 30 -
Ilustración 2.13 Formas de onda de PSIM (rizado de corriente por el MOSFET y tensión Vds)	- 31 -
Ilustración 2.14 Formas de onda de PSIM (Corriente por el diodo y tensión en bornes del diodo)	- 32 -
Ilustración 2.15 Planta por programa Orcad Capture	- 33 -
Ilustración 2.16 Planta por programa Orcad Layout	- 34 -
Ilustración 3.1 Sistema completo	- 35 -
Ilustración 3.2 Diagrama de Bode de la Planta	- 36 -
Ilustración 3.3 Diagrama de Bode de la Planta	- 36 -
Ilustración 3.4 Diagrama de Bode "cero en el semiplano derecho"	- 37 -
Ilustración 3.5 Diagrama de Bode comparación MATLAB vs PSIM	- 38 -
Ilustración 3.6 Diagrama de Bode comparación MATLAB vs PSIM	- 38 -
Ilustración 3.7 Sensor (Divisor resistivo)	- 39 -
Ilustración 3.8 Disposición ADC	- 39 -
Ilustración 3.9 MODULO ADC	- 40 -
Ilustración 3.10 DPWM	- 40 -
Ilustración 3.11 Diseño mediante PSIM del lazo de control	- 41 -
Ilustración 3.12 Diagrama de Bode Regulador H(s)	- 43 -
Ilustración 3.13 Diagrama de Bode Regulador H(s)	- 43 -
Ilustración 3.14 Diagrama de Bode de Lazo abierto GH	- 44 -
Ilustración 3.15 Diagrama de Bode de Lazo abierto GH	- 44 -
Ilustración 3.16 Diagrama de Bode Sistema Completo	- 45 -
Ilustración 3.17 Diagrama de Bode Sistema Completo	- 45 -
Ilustración 3.18 Configuración SmartCtrl	- 46 -
Ilustración 3.19 Mapa de soluciones SmartCtrl	- 47 -
Ilustración 3.20 Función de transferencia en el dominio de s	- 49 -
Ilustración 3.21 Circuito Lazo regulador	- 49 -

Ilustración 3.22 Señal Vo PSIM.....	- 49 -
Ilustración 3.23 Señal Vo (Aumento de tensión)	- 50 -
Ilustración 3.24 Señal Vo (Disminución de tensión).....	- 50 -
Ilustración 3.25 Función de transferencia en el dominio z	- 52 -
Ilustración 3.26 Señal Vo PSIM.....	- 52 -
Ilustración 3.27 Señal Vo (Aumento de tensión)	- 53 -
Ilustración 3.28 Señal Vo (Disminución de tensión).....	- 53 -
Ilustración 3.29 Filtro digital forma directa II (ecuación en diferencias)	- 54 -
Ilustración 3.30 Subcircuito Ecuación en Diferencias	- 55 -
Ilustración 3.31 Señal Vo PSIM.....	- 56 -
Ilustración 3.32 Señal Vo (Aumento de tensión)	- 56 -
Ilustración 3.33 Señal Vo (Disminución de tensión).....	- 57 -
Ilustración 4.1 Modulo ADC	- 59 -
Ilustración 4.2 Diagrama de tiempos	- 59 -
Ilustración 4.3 Función de transferencia ADC.....	- 60 -
Ilustración 4.4 ADC 2V.....	- 62 -
Ilustración 5.1 CONVERTIDOR ELEVADOR.....	- 63 -
Ilustración 5.2 Medidas PLANTA	- 63 -
Ilustración 5.3 RESISTENCIA DE CARGA.....	- 64 -
Ilustración 5.4 Circuito adaptación REAL	- 64 -
Ilustración 5.5 Circuito adaptación ESQUEMÁTICO	- 64 -
Ilustración 5.6 Ejemplo DPWM y señal invertida.....	- 65 -
Ilustración 5.7 Plataforma Basys de Digilent.....	- 65 -
Ilustración 5.8 Interruptor SW0 ='1', d = 0'25	- 66 -
Ilustración 5.9 Interruptor SW1 ='1', d = 0'50	- 66 -
Ilustración 5.10 Interruptor SW2 ='1', d = 0'75	- 66 -
Ilustración 5.11 SEÑAL PWM.....	- 66 -
Ilustración 5.12 SEÑAL DPWM	- 67 -
Ilustración 5.13 Circuito Elevador lazo abierto	- 67 -
Ilustración 5.14 Señales de tensión de entrada y salida	- 68 -
Ilustración 5.15 Señal de corriente de entrada.....	- 68 -
Ilustración 5.16 Simulación FPGA mediante Isim d= 0'25	- 69 -
Ilustración 5.17 Fuente de alimentación.....	- 69 -
Ilustración 5.18 Señal DPWM invertida y no invertida	- 70 -
Ilustración 5.19 Señal Vo y DPWM.....	- 70 -
Ilustración 5.20 Señales de tensión de entrada y salida	- 71 -
Ilustración 5.21 Señal de corriente de entrada.....	- 71 -
Ilustración 5.22 Simulación FPGA mediante Isim d= 0'50.....	- 71 -
Ilustración 5.23 Fuente de alimentación.....	- 72 -
Ilustración 5.24 Señal DPWM invertida y no invertida	- 72 -
Ilustración 5.25 Señal Vo y DPWM.....	- 73 -
Ilustración 5.26 Señales de tensión de entrada y salida	- 74 -
Ilustración 5.27 Señal de corriente de entrada.....	- 74 -
Ilustración 5.28 Simulación FPGA mediante Isim d= 0'75	- 75 -
Ilustración 5.29 Fuente de alimentación.....	- 75 -

Ilustración 5.30 Señal DPWM invertida y no invertida	- 76 -
Ilustración 5.31 Señal Vo y DPWM.....	- 76 -
Ilustración 5.32 Puntos de conmutación en Vo	- 77 -
Ilustración 5.33 Gráfica de Vo frente a Ciclo de trabajo	- 78 -

1 INTRODUCCIÓN

Se estudia y simula un convertidor CC/CC elevador en lazo cerrado controlado digitalmente.

El sistema se compone de una parte analógica y una parte digital.

- ANALÓGICA: La planta, el convertidor elevador, se calcula con una serie de especificaciones previas con las cuales se llegan a calcular todos los elementos que lo forman. Además se lleva a cabo la realización de la planta real.
- DIGITAL: es la parte que compone la FPGA. Un sistema que permite realizar la implementación de un conmutador y un regulador, aparte se le añade un módulo con el que se puede digitalizar la señal de salida de la planta para su posterior cálculo.

La ilustración 1.1 representa el diagrama de bloques sobre el sistema que se estudia.

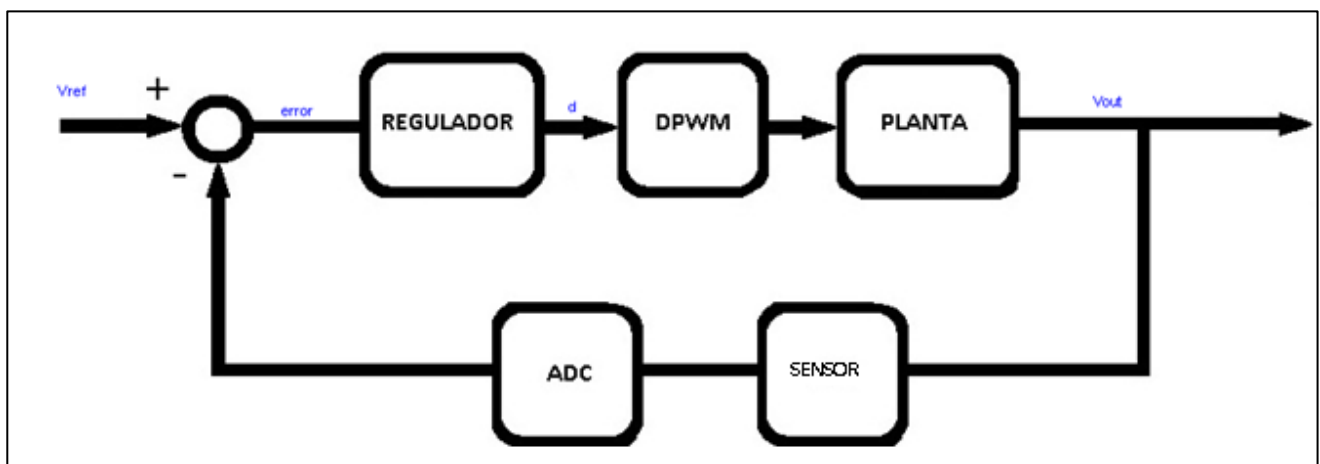


Ilustración 1.1 Diagrama de bloques del sistema

La ilustración 1.2 muestra claramente las partes del proyecto. Por una parte se encuentra la parte analógica, el convertidor elevador y el sensor. Por otro lado se encuentra la parte digital compuesta por el módulo ADC y la FPGA, en la FPGA se encuentran implementados el regulador y el DPWM.

El funcionamiento del sistema es el siguiente:

- 1º: Se alimenta la planta con una tensión de 12V.
- 2º: Por parte del sensor tiene lugar el sensado de “tensión a la salida del convertidor (V_{out})” para obtener una tensión proporcional y apta para el ADC y convertir esa tensión proporcional en un vector de 12 bits.
- 3º: Una vez se obtiene el vector resultante del conversor ADC se compara con un valor de referencia, explicado en las ilustraciones como “ V_{ref} ”, dando como resultado el valor de “error”.

- 4º: Con ese valor de error se calcula en el regulador el nuevo ciclo de trabajo “d” que se aplicara al DPWM para que haga los cambios necesarios en la conmutación del MOSFET del convertidor.

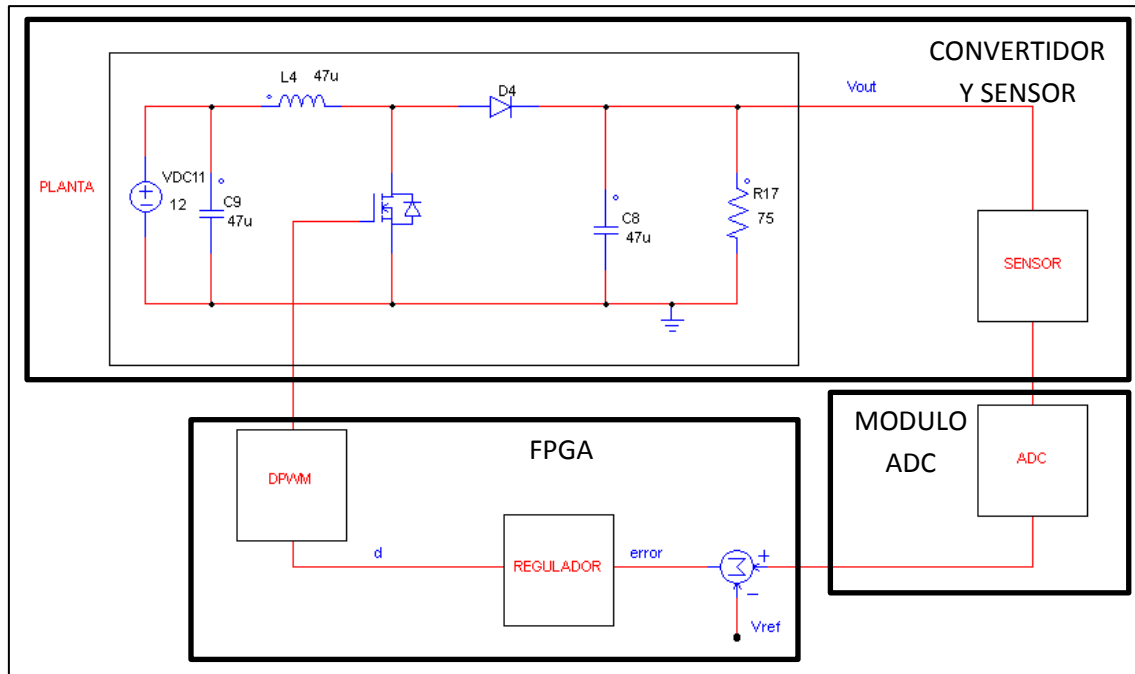


Ilustración 1.2 SISTEMA COMPLETO

A continuación se explican los objetivos del proyecto, ventajas e inconvenientes del control digital y aplicaciones reales del control digital.

1.1 OBJETIVOS Y ESPECIFICACIONES

Los objetivos en este proyecto son:

- Obtener buen conocimiento sobre los controles digitales, sus ventajas e inconvenientes a la hora de aplicarlos y porqué usarlos.
- Conocer las distintas aplicaciones que tiene el control digital.
- Estudiar en detalle las principales características estáticas y dinámicas del convertidor elevador.
- Diseñar y comprobar las distintas funciones de control ya sea en sistema continuo, sistema discreto o ecuación en diferencias.
- Entender y aplicar el método de la ecuación en diferencias así como su uso en el control digital.
- Diseño y uso de la FPGA para conmutación de la planta.
- Montaje del elevador calculado según las especificaciones
- Pruebas experimentales de la planta en lazo abierto, conmutada mediante la FPGA.

Las especificaciones son:

Especificaciones para el diseño de la planta.

- Tensión de entrada: $V_e = 12V$
- Tensión de salida: $V_o = 48V$
- Potencia entregada a la carga: $P_o = 30W$
- Resistencia de carga: $R_l = 75\Omega$
- Frecuencia de conmutación: $F_{sw} = 100kHz \rightarrow T = \frac{1}{F_{sw}}$
- Rizado de tensión a la salida: $\Delta V_o \leq 1\%$

En base a estas especificaciones en siguientes capítulos se hallan valores de un convertidor elevador controlado de la tensión de salida.

1.2 VENTAJAS E INCONVENIENTES DEL CONTROL DIGITAL

Listado de las ventajas e inconvenientes del control digital. Son datos a tener en cuenta una vez que se cambie un control analógico por uno digital.

1.2.1 VENTAJAS

- Implementación de algoritmos de control no lineales, borrosos o predictivos siendo mucho más complejos que el control lineal. Se podrá mejorar las características globales del control lineal y encontrar mejores sistemas de control para los distintos convertidores.
- Mucha flexibilidad a la hora de implementar los algoritmos. Gracias a que gran parte de los sistemas digitales son reprogramables y de esta forma se puede hacer las pruebas y cambios que sean necesarios sin tener la obligación de cambiar el hardware.
- Se pueden realizar muchos cambios en el proceso de diseño del sistema de control, ya que los sistemas digitales nos permiten acortar el proceso del diseño. Y como se ha comentado anteriormente se tendrá que dedicar un menor tiempo a la hora de probar posibles algoritmos de control y de mejorarlos.
- Mayor fiabilidad del sistema de control. Por las siguientes características se dice que el control digital es más seguro y fiable que el control analógico: se usa un menor número de componentes; la potencia consumida por el control digital es menor y además está más aislado de la etapa de potencia; un sistema de control digital que funcione correctamente es más fiable y tiende a tener menos errores que un sistema de control analógico.
- El hardware de los sistemas digitales mejora el rendimiento frente a los sistemas analógicos en cuanto al envejecimiento y a cambios de temperatura. Puede haber retardos aunque serán despreciables.
- Los sistemas de control digital no se sienten muy afectados frente al ruido. En cambio los sistemas analógicos son muy sensibles al ruido y varían sus valores en gran manera.

1.2.2 INCONVENIENTES

- Lo controlado o medido de una planta es la corriente o la tensión de la misma, son medidas analógicas. Para su control es necesario usar un ADC (Analog-to-Digital Converter). Se tiene que tener muy en cuenta a la hora de calcular modelar y diseñar un regulador y de todo el sistema de control completo.
- La toma de datos por parte del sistema digital queda limitada ya que se controlara con un número finito de bits. Esto comenzara por parte del ADC que nos limita la resolución del valor de tensión medido. Esta limitación se arrastrara hacia el regulador y en consecuencia hacia el DPWM que es el que tiene contacto directo con la planta.
- Existe una limitación de la resolución de la generación de la modulación digital de pulso (DPWM). Al ser un contador finito de bits queda limitado por la resolución de la frecuencia de reloj del contador.
- Se añaden retardos al sistema. Los retardos son añadidos por el ADC y por el tiempo de cálculo de del controlador. Estos retardos pueden llegar a influir en la estabilidad del sistema. Estos retardos pueden ser mejorados con la obtención de hardware más rápido lo que conlleva que sea más caro.
- El inconveniente que quizás sea más determinante es el de diseño e implementación del control digital, ya que son mucho más complicados de aplicar al hardware específico que a los controles analógicos. De momento casi todos los controles digitales vienen de la investigación académica.

1.3 APLICACIONES

En un principio se intentaron controlar sistemas más complejos ya que los simples no lo necesitaban debido al bajo coste de los controles analógicos. Se van a comentar brevemente una serie de aplicaciones de controles digitales en convertidores conmutados.

- Control de motores.
El uso de control digital para regular la velocidad de los motores se ha hecho ya que se pueden implementar algoritmos de control más complejos. Un ejemplo típico es el control de inversores trifásicos para regular la velocidad de motores.
- SAI (Servicios de alimentación ininterrumpida).
Se trata de un sistema de seguridad por lo que la cuestión del precio es menos importante. Con el control digital se puede obtener una respuesta mejor y más rápida ante posibles cambios en la carga.
- Rectificadores (Convertidores CA/CC).
Simplemente comentar que se podría usar el control digital si la diferencia de precios entre el control analógico y digital disminuyera. Al tratarse de un control más simple de momento no se ha investigado mucho en este aspecto el control digital.
- Convertidores CC/CC.
En este caso el control analógico es muy avanzado y se obtienen unas respuestas dinámicas muy buenas. Para mejorar su uso mediante control digital se podría estudiar algoritmos más complejos que mejoraran esa respuesta dinámica, teniendo muy en cuenta los problemas con retardos en conversión de señales y cálculos. Otra característica a tener en cuenta respecto al control digital es el tamaño, ya que en ese aspecto lo digital llega a ser de un tamaño mucho menor que lo analógico.

2 DISEÑO CONVERTIDOR CC/CC ELEVADOR

El convertidor de CC/CC Elevador es un circuito de potencia el cual mediante una señal de tensión continua obtendremos otra señal de tensión continua mayor que la de entrada. Se trata de un circuito de potencia conmutado. Esto significa que se dispone de dos modos de funcionamiento que se van alternando, distinguiéndose cuando el interruptor esta encendido T_{ON} y cuando está apagado T_{OFF} . [1]

La característica más importante del convertidor elevador es que en su función de transferencia tiene un 0 en el semiplano derecho, esto será un inconveniente a la hora de buscar un regulador. De este parte del convertidor se hablara en mayor profundidad en el Capítulo 3.

La ilustración 2.1 muestra el circuito Elevador CC/CC diseñado mediante PSIM. [8]

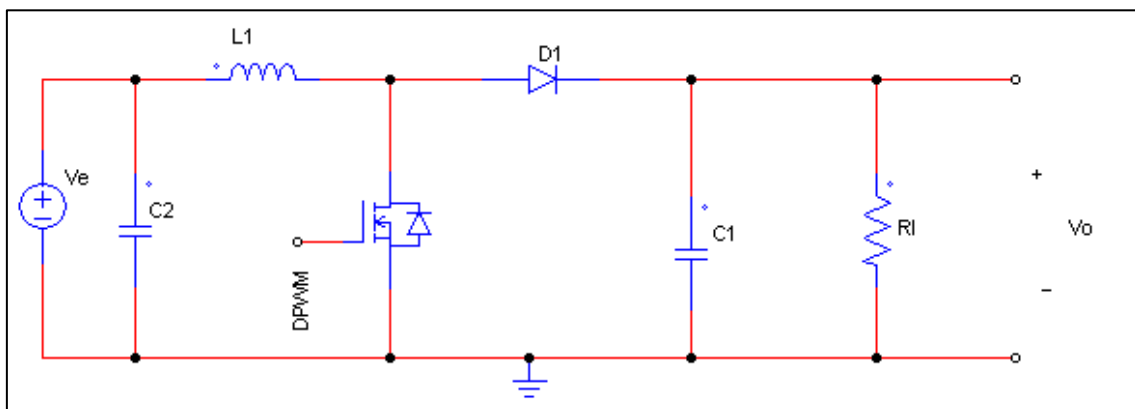


Ilustración 2.1 Circuito convertidor elevador

- Interruptor encendido T_{ON}

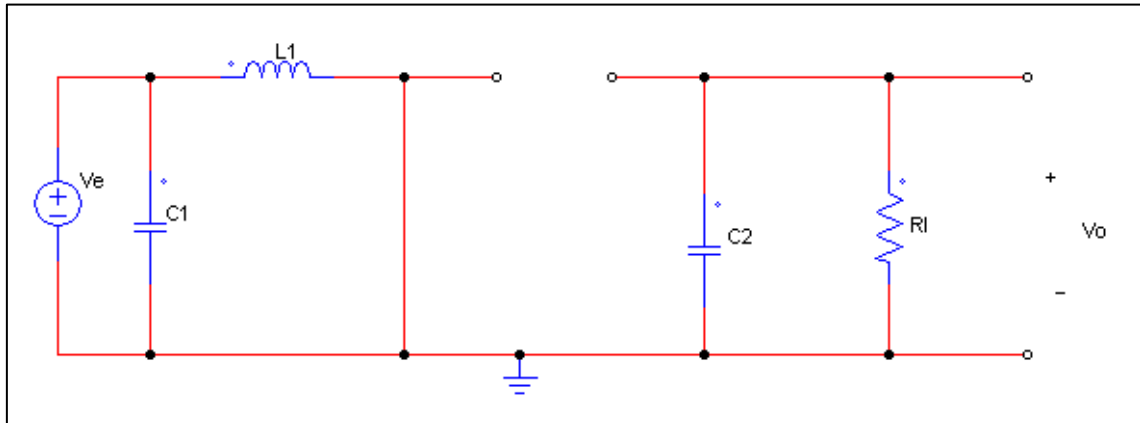


Ilustración 2.2 Circuito con el interruptor encendido

- Interruptor apagado T_{OFF}

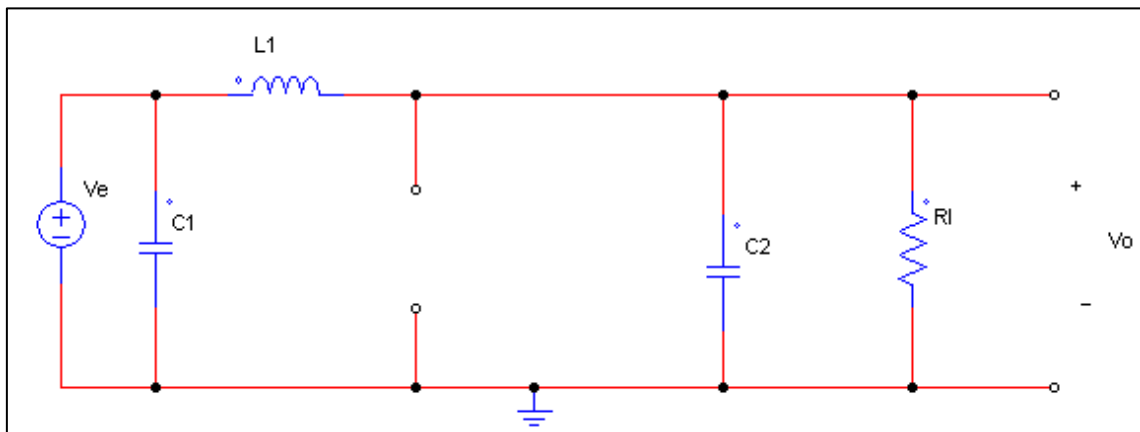


Ilustración 2.3 Circuito con interruptor apagado

Se encuentran dos modos de funcionamiento en este tipo de convertidores. Estos son los dos modos:

- MCC = Modo de Conducción Continua
- MCD = Modo de Conducción Discontinua

Para determinar en qué modo de funcionamiento se encuentra el convertidor habrá que fijarse en la corriente que circula por la bobina, explicando así los dos modos:

- MCC:

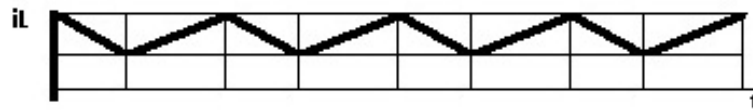


Ilustración 2.4 Forma de onda del rizado de corriente por la bobina MCC

El MCC viene determinado porque la corriente por la bobina nunca llega a ser 0. Por ello se escoge un valor de la inductancia tal que nos asegure estar en MCC.

- MCD

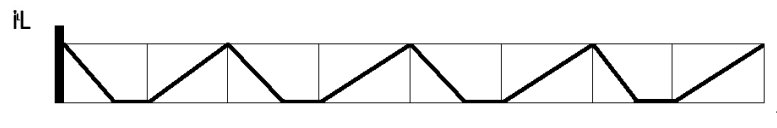


Ilustración 2.5 Forma de onda del rizado de corriente por la bobina MCD

En este gráfico del rizado de corriente por la bobina se observa cómo llega a ser 0. Esta respuesta de la corriente por la bobina es debida a que la bobina necesita más tiempo para descargarse del tiempo que tiene el interruptor en el intervalo de no conducción y por ello es cero en un tiempo pequeño.

Aquí se dispone de una gráfica que ilustra cómo deben ser, de forma ideal, las tensiones y corrientes que circulan por la planta de un convertidor elevador.

- V_{gs} = Tensión gate-source, del MOSFET, nos indica el tiempo que se abre y se cierra el MOSFET.
- V_I = Tensión en bornes de la bobina.
- i_L = corriente que atraviesa la bobina.
- V_s = Tensión en el MOSFET, (drain-source).
- i_s = Corriente que atraviesa el MOSFET.
- V_d = tensión que cae en el diodo.
- i_d = Corriente que atraviesa el diodo.

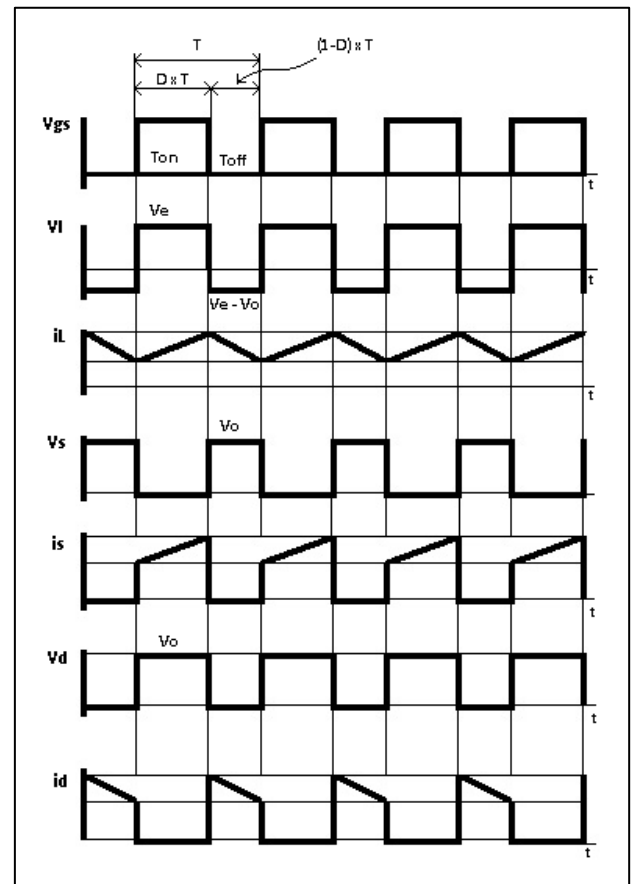


Ilustración 2.6 Formas de onda de convertidor elevador

2.1 CALCULO DE LA PLANTA

En base a las especificaciones dadas en el apartado 1.1 Objetivos y especificaciones se procede en el este apartado al cálculo de los valores de tensión de corriente y demás del convertidor elevador controlado de la tensión de salida.

Para hallar el ciclo de trabajo e ir calculando valores para el modelado de la planta.

Igualando las tensiones en la bobina de T_{ON} y T_{OFF} :

$$V_e \cdot D \cdot T = (V_o - V_e) \cdot (1 - D) \cdot T$$

$$\frac{V_o}{V_e} = \frac{1}{(1 - D)}$$

Con esto se obtiene el ciclo de trabajo para las tensiones de entrada y de salida dadas.

$$D = 0'75$$

La potencia según las especificaciones es de $30W$. También se especifica que la resistencia de carga será de 75Ω . Obtengo así la corriente de salida I_o .

$$\begin{aligned} V_o &= I_o \cdot R_l \\ I_o &= 0'64A \end{aligned}$$

Con la corriente de salida y la relación entre la potencia de salida y la de entrada, obtengo la corriente de entrada I_e que es la corriente media que atraviesa a la bobina \bar{i}_l .

$$\begin{aligned} P_o &= P_e \\ I_e \cdot V_e &= I_o \cdot V_o \\ I_e &= \bar{i}_l \\ \bar{i}_l &= 2,56 A \end{aligned}$$

Para mantener la planta en MCC se aplica la siguiente fórmula matemática, es con esta relación con la que podemos obtener el valor mínimo de inductancia para la bobina.

$$\frac{1}{2} \cdot \Delta i_l \leq \delta \leq \bar{i}_l$$

$$\Delta i_l = \frac{V_e \cdot D}{f \cdot L}$$

$$L = \frac{12 \cdot 0'75}{2 \cdot 100 \times 10^3 \cdot 2'5}$$

$$L = 18\mu H$$

Obtenemos este valor mínimo de inductancia para no entrar en MCD, para asegurarnos que en todo momento nos encontramos en MCC tomaremos un valor mayor de la bobina. Se tomará una bobina de $L = 47\mu H$.

Lo siguiente que se calculará será el valor de condensador que se usará en el diseño. Para elegir qué valor de capacitancia tendrá el condensador habrá que fijarse en el valor de rizado de la tensión de salida. Este tiene que ser de aproximadamente $\leq 1\%$.

$$\Delta V_o = 0'01 \cdot 48 V = 0'48 V$$

$$\Delta V_o = \frac{I_o \cdot d \cdot T}{C}$$

$$C = 39'06\mu F$$

Ese debe ser el valor mínimo de condensador que se debe usar en el diseño para el rizado pedido. Se tomará un condensador de electrolítico de capacitancia $C = 47 \mu F$. Con este valor de condensador obtenemos un rizado del 0'2 %, mejorando así la especificación del diseño.

La siguiente figura demuestra la relación entre las corrientes por el diodo, por el condensador y la corriente de salida.

$$I_d = I_c + I_o$$

Como la corriente media por el condensador debe ser aproximadamente 0 nos queda que la corriente por el diodo es igual a la corriente de salida.

$$\bar{I}_d = \bar{I}_o$$

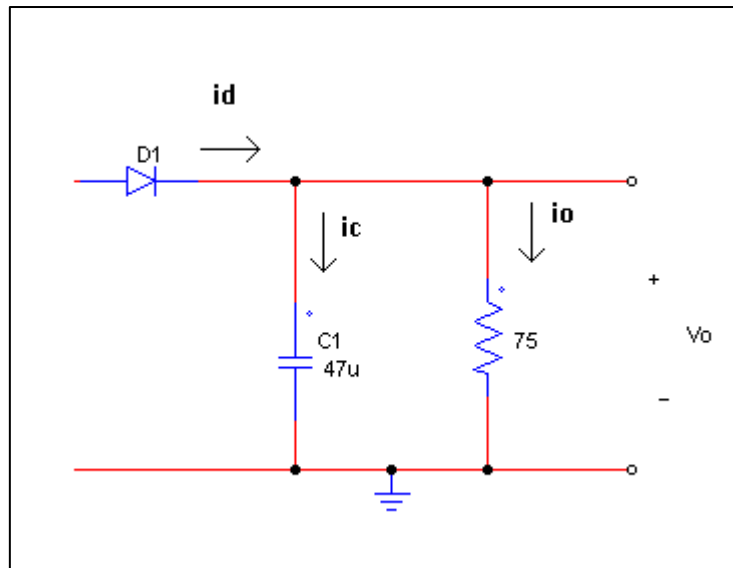


Ilustración 2.7 Distribución de corrientes

- I_d es la corriente media que circula por el diodo en T_{off} .
- I_c es la corriente media que circula por el condensador, será aproximadamente 0.
- I_o es la corriente media de salida.

La siguiente figura nos muestra como son las corrientes por el diodo y por el condensador, y el rizado de tensión de salida.

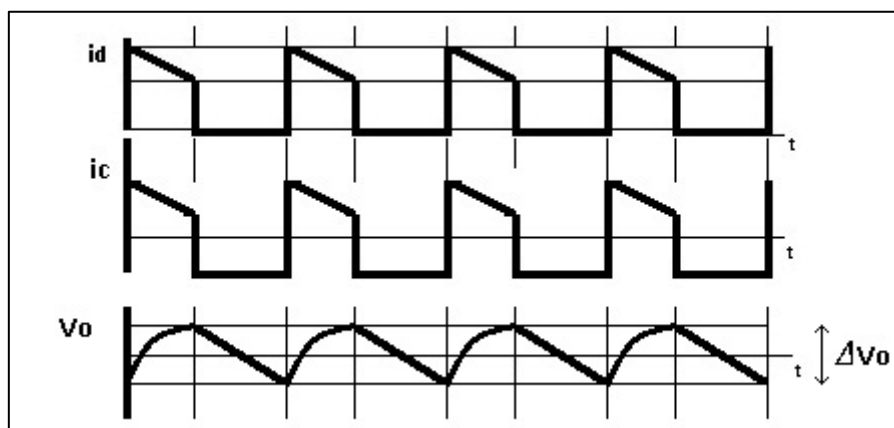


Ilustración 2.8 Formas de onda de rizados de tensión y corriente (Diodo, Condensador, Tensión de salida)

En la siguiente figura se ve la disposición del convertidor CC/CC elevador. Tiene ya el valor de los componentes ya calculados según las especificaciones dadas.

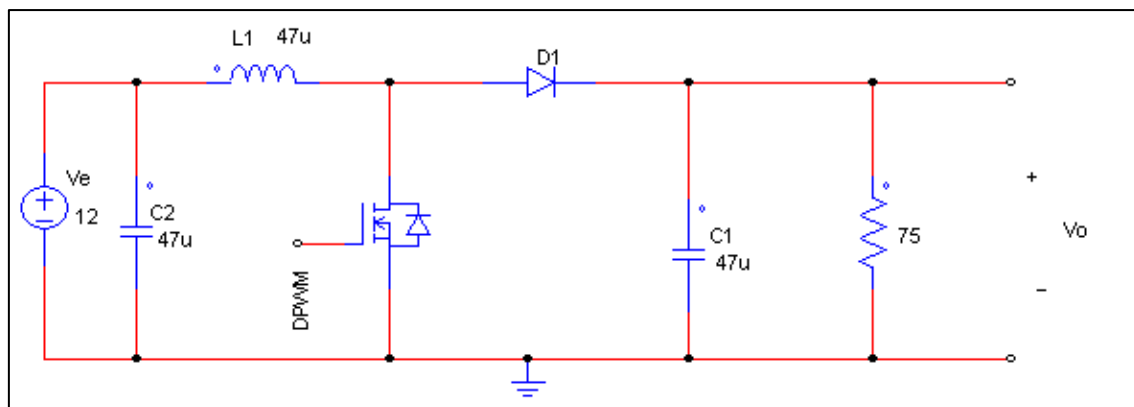


Ilustración 2.9 Circuito convertidor elevador CC/CC

2.2 COMPONENTES

Ahora se dispondrá de una breve explicación de la elección de los componentes de la planta.

2.2.1 BOBINA

La bobina que se necesita según las especificaciones del diseño tiene una inductancia de $18\mu\text{H}$. Este valor de inductancia es el mínimo para que la planta se encuentre en MCC. Por eso es necesario usar una bobina de valor de inductancia mayor para que se encuentre el rizado por la bobina en una zona estable.

Por ello se escoge una inductancia de $47\mu\text{H}$ la cual nos da un buen margen para mantener el sistema en MCC.

La bobina elegida es la PCV-1-473-03L de Coilcraft.

-Inductancia

$$L = 47\mu\text{H} \pm 10\%$$

-Corriente eficaz

$$I_{\text{rms}} = 5.3\text{ A}$$

Para esta bobina utilizada se pueden observar los valores de rizado de corriente con la conmutación del MOSFET. Se obtiene una corriente eficaz de 2.85A , siendo esta la máxima corriente que atravesará la bobina. Por eso se ha elegido esta bobina que tiene como máxima corriente eficaz de 5.3A .



Ilustración 2.10 Bobina utilizada

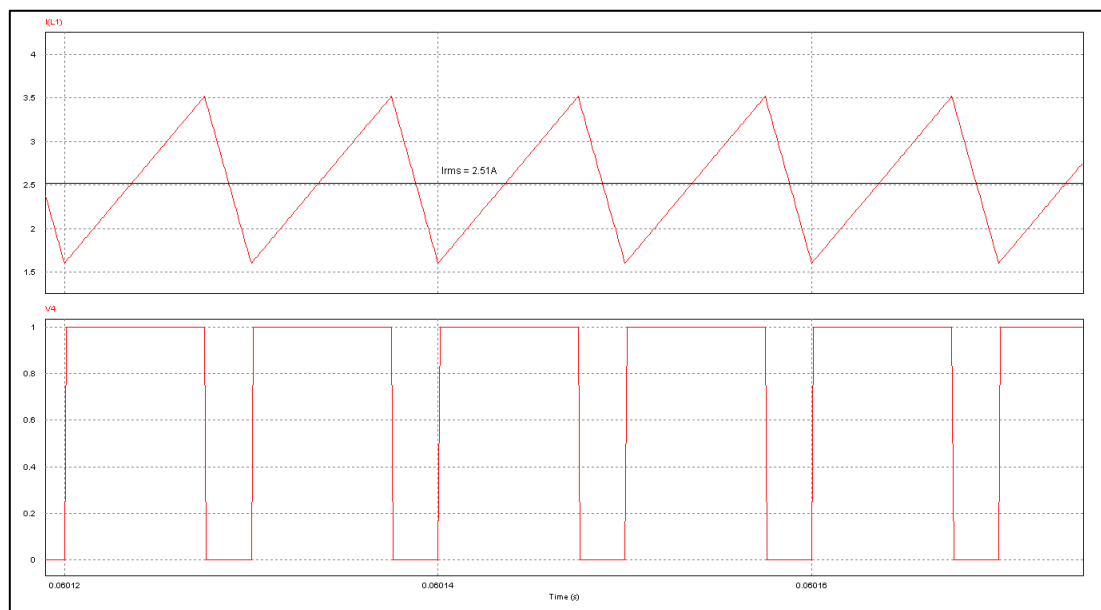


Ilustración 2.11 Formas de onda de PSIM (corriente por la bobina y conmutación)

2.2.2 CONDENSADOR DE SALIDA

Para la elección del condensador hay que basarse en la especificación del rizado de tensión a la salida.

Según los cálculos se necesitaría un condensador mínimo de $39'07 \mu\text{F}$ con lo cual obtendría un rizado de tensión a la salida de un 1%. Finalmente se ha escogido el siguiente condensador:

Marca Rubycon YK serie de $47 \mu\text{F}$.

Con las siguientes características:

-Capacitancia:

$C = 47 \mu\text{F} \pm 20\%$

-Máximo voltaje soportado:

$V = 100\text{V}$

Este condensador consigue un rizado de tensión como se ve en la siguiente figura de un 0'2%, mejorando así el 1% de rizado que nos pedían.

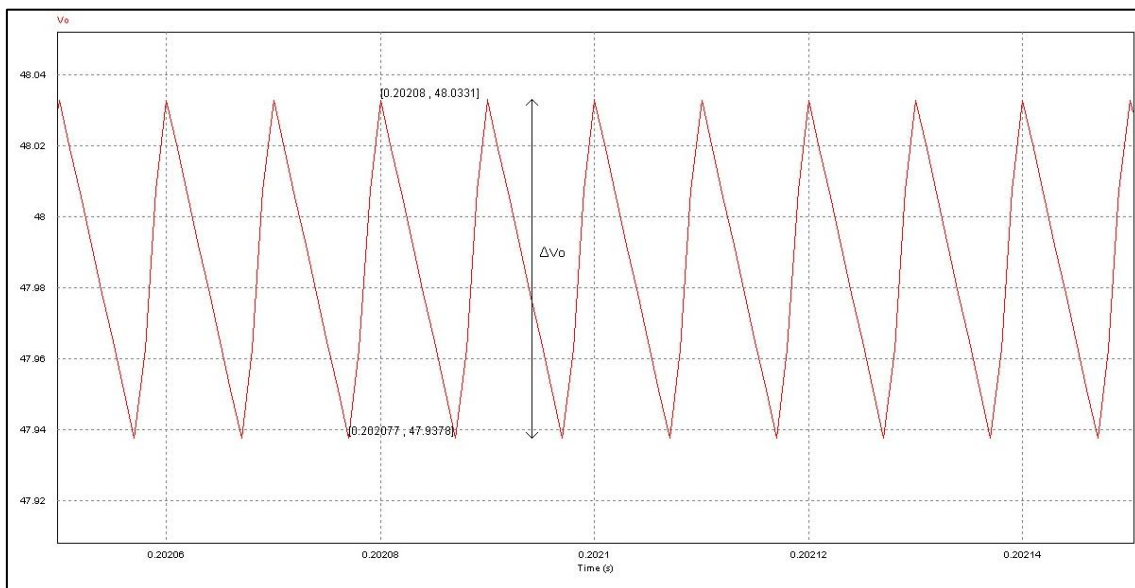


Ilustración 2.12 Forma de onda de PSIM (Rizado de tensión a la salida)

Sin embargo en esta simulación no se ha tenido en cuenta la resistencia en serie equivalente (ESR) del condensador.

Debido al efecto de la ESR el rizado de tensión será mayor, y por eso se opta por una capacidad mayor de la teórica.

2.2.3 MOSFET



Se ha escogido un MOSFET IRF530 de canal n.

Características:

- Corriente máxima $I_d = 17A$
- Tensión máxima (drain-source) $V_{dss} = 100 V$
- Tensión máxima a la entrada de la puerta (gate) $V_{gs} = \pm 20 V$

La siguiente grafica nos muestra la corriente que circula por el MOSFET y la tensión que cae en el mismo.

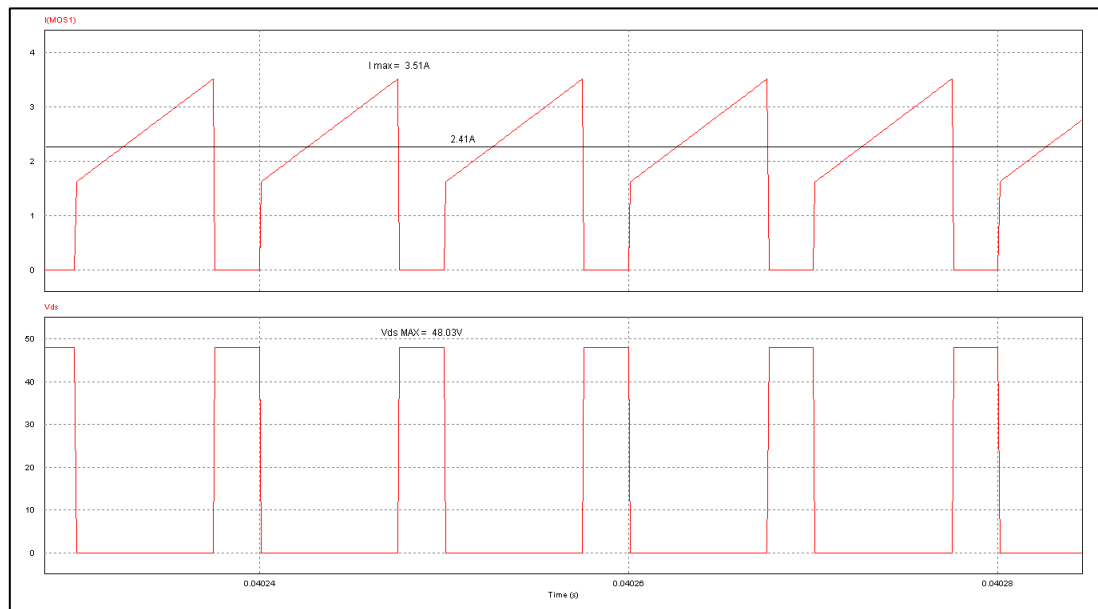


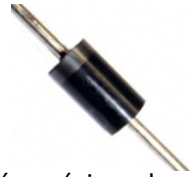
Ilustración 2.13 Formas de onda de PSIM (rizado de corriente por el MOSFET y tensión Vds)

Por el MOSFET no circulará más que una corriente máxima de 3.51A como viene indicado en la ilustración 2.13. En las características anteriormente indicadas sobre el MOSFET vemos que no es problema ya que el máximo valor que puede circular es de 17A.

En lo referente a la tensión en el MOSFET V_{ds} , entre los terminales “d”(drenador) y “s”(fuente), se tiene que en este circuito habrá una tensión máxima de 48’03V cosa que no es un problema para este MOSFET ya que tiene un valor máximo de V_{ds} de 100V.

2.2.4 DIODO

El diodo elegido es el MUR 410



La tensión máxima que soporta este diodo es de 100V, siendo así perfecto para la planta diseñada que tiene como se ve más adelante una tensión máxima de 48V.

En lo referente a la corriente se tiene que el diodo tiene como máximo valor de corriente que pueda circular por él de 4A. La corriente media por el diodo es de 0'7A y corriente eficaz 1'411A lo cual es perfecto el uso de este diodo para la planta diseñada.

Estas graficas son referidas a la corriente por el diodo, con los datos de corriente eficaz y corriente media por el diodo, y la tensión que se sitúa en el anodo-catodo.

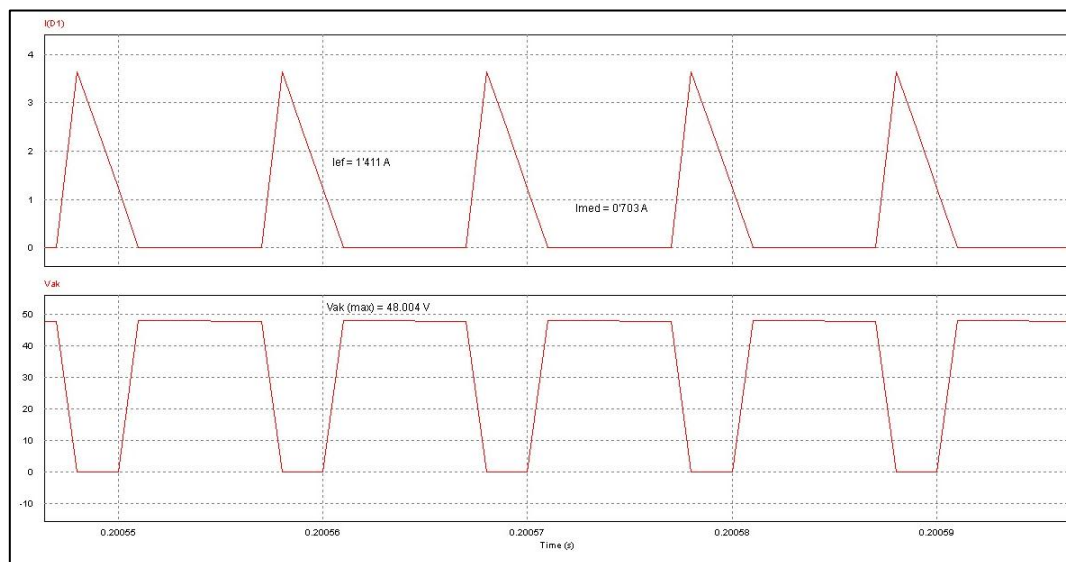


Ilustración 2.14 Formas de onda de PSIM (Corriente por el diodo y tensión en bornes del diodo)

Datos de las gráficas:

- Corriente media $I_{med} = 0'703 \text{ A}$.
- Corriente eficaz $I_{ef} = 1'411 \text{ A}$.
- Tensión máxima anodo-catodo $V_{max} = 48'004 \text{ V}$.

2.3 DISEÑO PCB

A continuación se explica la realización de una PCB (Printed Circuit Board) donde se montará el convertidor elevador. Para ello ha sido necesario la utilización del programa Orcad®.

Primero se ha diseñado el circuito en el programa Orcad® Capture, en el que se dispone todo el circuito como se puede ver en la ilustración 2.15.[2]

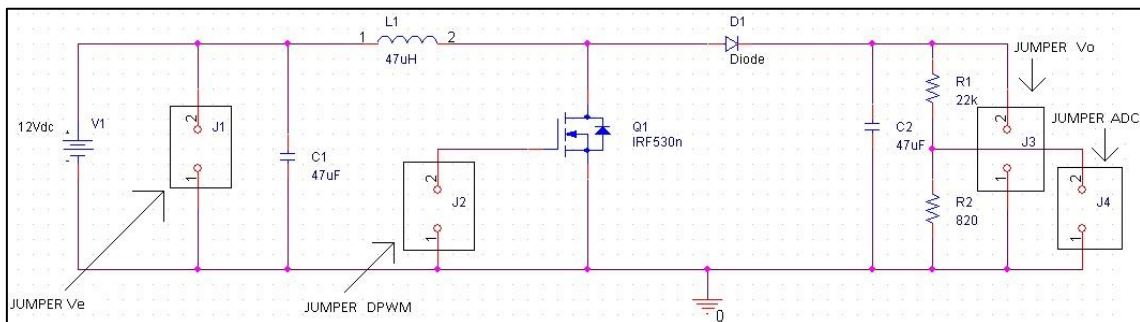


Ilustración 2.15 Planta por programa Orcad Capture

Explicaciones del circuito:

- JUMPER Ve. Equivale a la tensión de entrada, se trata del hueco exacto para la colocación del jumper para la alimentación del circuito.
- JUMPER DPWM. Destinado para poder conmutar el MOSFET.
- JUMPER Vo. Destinado a la conexión mediante jumper de la resistencia de carga.
- JUMPER ADC. Destinado a la salida hacia el módulo ADC conectado a la FPGA.
- DIVISOR RESISTIVO R1 y R2. Se ha colocado en la PCB para que por la salida del Jumper ADC salga una tensión proporcional a V_o , pero con un valor adaptado a las especificaciones del ADC.
- CONDENSADOR C1. Colocado en paralelo a la fuente de alimentación para estabilizar la tensión de entrada.

La tarjeta ha sido diseñada solo por la cara Bottom, esto es debido a que todos los elementos usados son de taladro pasante, y no son necesarias otras capas.

La disposición de todos los elementos del circuito esquemático explicado anteriormente viene descrita en la ilustración 2.16. [2][11]

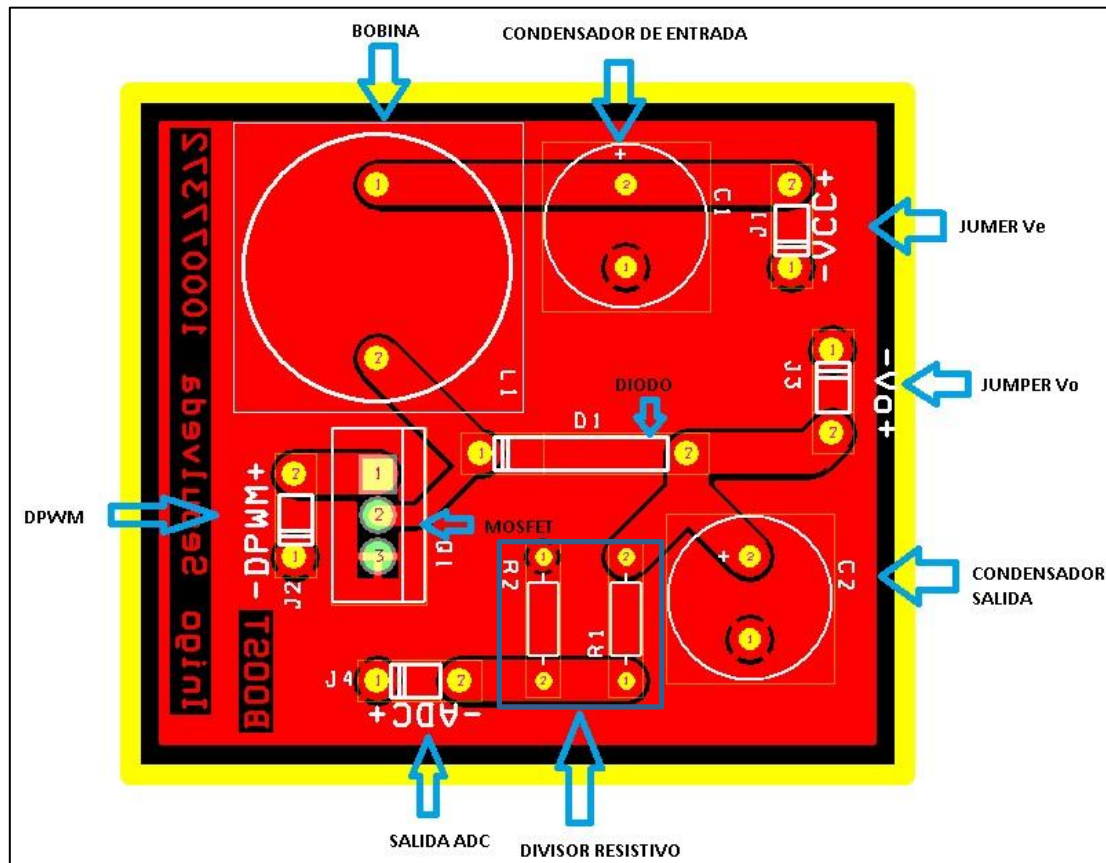


Ilustración 2.16 Planta por programa Orcad Layout

Explicaciones de la PCB:

- JUMPERS (Ve, Vo, ADC, DPWM). Han sido colocados en los bordes de la placa ya que al ir conectado en ellos los cables serán más accesibles que en el interior.
- PISTAS. Las pistas han sido diseñadas con un tamaño grueso ya que al tratarse de una PCB sencilla y de un pequeño número de componentes no era necesario que fueran finas. Además se trata de un circuito de potencia en el que las corrientes son superiores a 1A.
- LONGITUD DE LAS PISTAS. Se ha tenido en cuenta que no se crearan grandes longitudes en la distribución de los componentes, intentado así colocar los componentes lo más cerca posible.

3 DISEÑO ETAPA DE CONTROL

A continuación se dispondrán explicaciones sobre el diseño de la etapa de control. La estructura de todo el montaje es la siguiente:

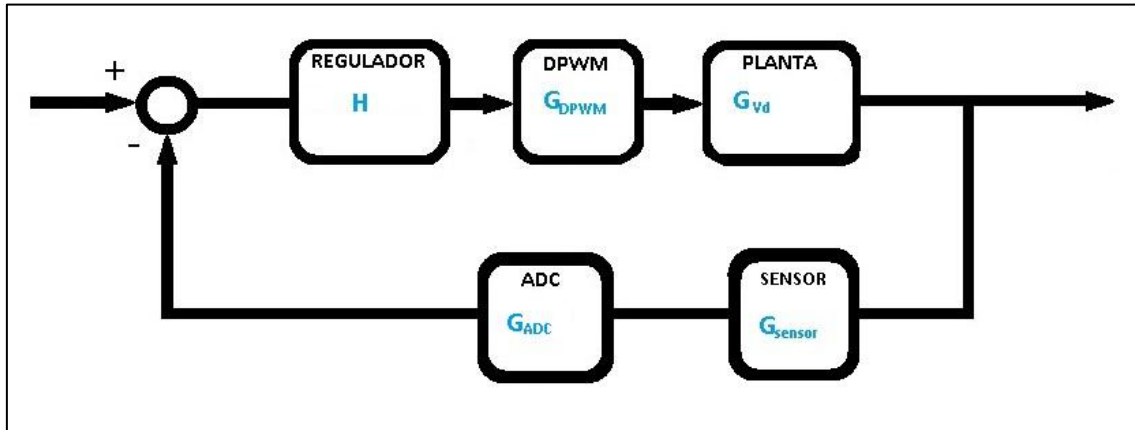
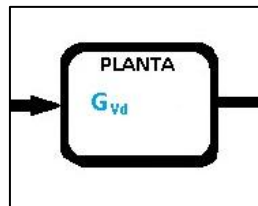


Ilustración 3.1 Sistema completo

3.1 FUNCIÓN DE TRANSFERENCIA DE LA PLANTA



Primero se obtendrá la función de transferencia del convertidor elevador, en lazo abierto, de la tensión de salida respecto al ciclo de trabajo.

Ecuación de la función de transferencia del convertidor elevador comparando la tensión de salida frente al ciclo de trabajo.

$$G_{vd}(s) = \frac{\hat{V}_{out}}{\hat{d}} = G_{d0} \cdot \frac{\left(1 - \frac{s}{w_z}\right)}{\left(1 + \frac{s}{Q \cdot w_0} + \left(\frac{s}{w_0}\right)^2\right)}$$

Para solucionar esta ecuación basta con calcular las subecuaciones:

$$G_{d0} = \frac{V_{out}}{(1-D)} ; w_0 = \frac{1-D}{\sqrt{L \cdot C}} ; w_z = \frac{(1-D)^2 \cdot R}{L} ; Q = (1-D) \cdot R \cdot \sqrt{\frac{C}{L}}$$

Siendo los valores de V_{out} , D , L , C , R los calculados y pedidos en el apartado de especificaciones del diseño del convertidor. Todos estos cálculos han sido realizados mediante un script de MATLAB. En el que además de calcular valores se ha obtenido el diagrama de Bode. La ilustración 3.2 y 3.3 es el resultado de ese cálculo.

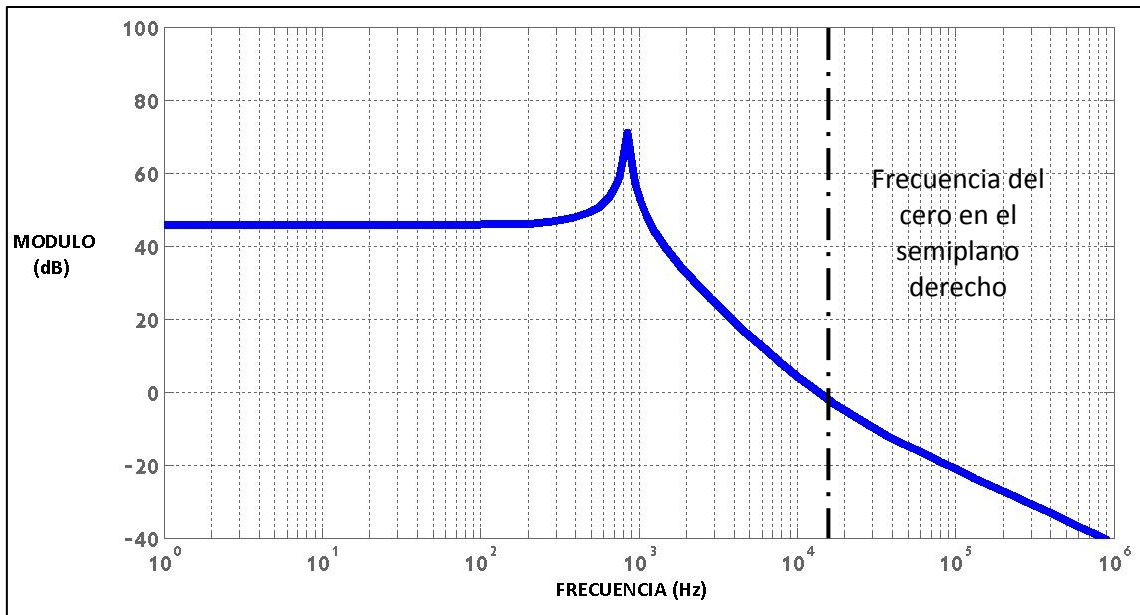


Ilustración 3.2 Diagrama de Bode de la Planta

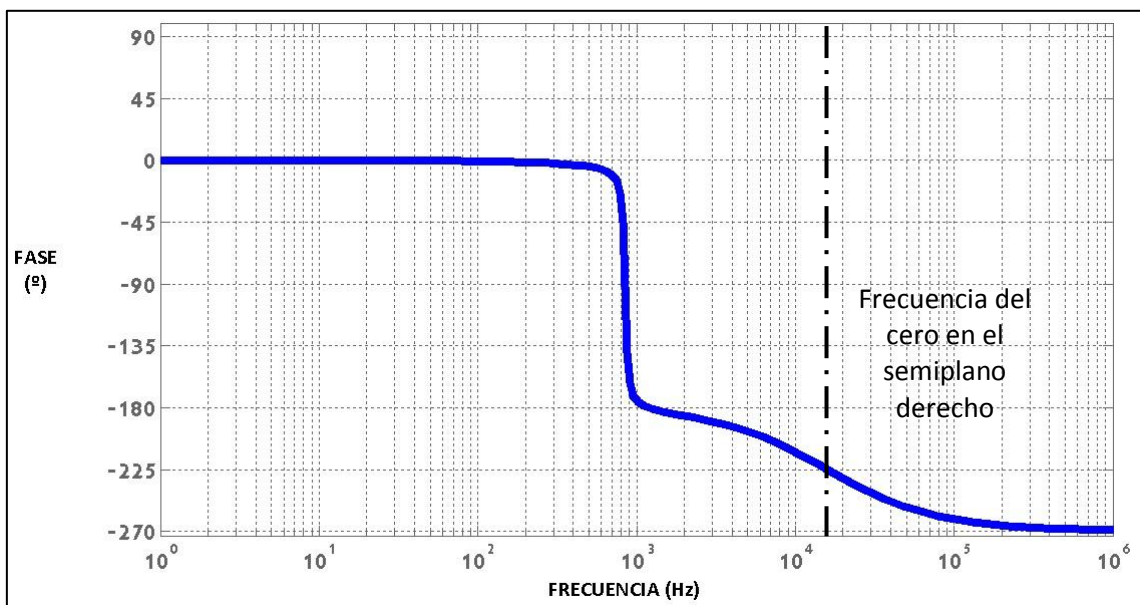


Ilustración 3.3 Diagrama de Bode de la Planta

En la fase de la planta se puede ver la importante característica que tiene el convertidor elevador que es el “cero en el semiplano derecho”. En ambas ilustraciones se observa la posición del cero con una frecuencia de 15.8kHz. Se observa como empiezan a suceder las características del cero en el semiplano derecho, son las siguientes:

- Sube la ganancia.
- Baja la frecuencia.

Se puede ver en la Ilustración 3.4 las características del “cero en el semiplano derecho”.

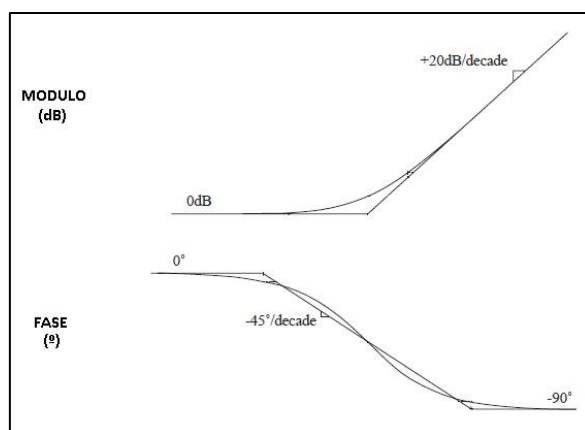


Ilustración 3.4 Diagrama de Bode "cero en el semiplano derecho"

Esto mismo se puede observar en el diagrama de Bode de modulo y fase anteriormente ilustrado (Ilustración 3.2 y 3.3) viendo como la fase baja hasta los -270° y la ganancia en vez de bajar a 40dB por década debido a los dos polos baja a 20dB por década debido a la acción del cero en el semiplano derecho.

Se ha hecho un estudio de comparación entre el diagrama de Bode de la planta calculada a través de MATLAB y una obtención en función de la frecuencia del convertidor elevador realizado mediante PSIM.

La comparación entre el diagrama de Bode calculado mediante MATLAB y el obtenido mediante PSIM está representada en las ilustraciones 3.5 y 3.6. EL diagrama de Bode verde ha sido conseguido mediante una función de PSIM llamada AC sweep. Esta función hace un barrido en frecuencia aplicando una distorsión sobre la tensión de entrada y así obtener una serie de valores con los cuales se han obtenido este diagrama de Bode. Para una mejor obtención de la planta en el dominio de la frecuencia se ha tenido que realizar por partes:

- Zona de baja frecuencia: el circuito se comporta con un filtro paso bajo y por eso las frecuencias más bajas no tienen problemas de representación ya que vemos que se obtienen los mismos puntos.
- Zona media: es una zona más problemática. Esta zona está marcada por el polo doble de la planta. Como se puede ver se obtienen puntos algo diferentes y eso es debido a que es una zona con la que hay que tener más cuidado a la hora de aplicar la distorsión para obtener unos valores más próximos a los ideales.
- Zona de Altas frecuencias: zona en la cual es atenuada y se obtiene de una forma clara la actuación del cero en el semiplano derecho como se puede ver en la fase. En esta parte ambas graficas son iguales ya que en la atenuación no se obtienen problemas. Salvo cuando se acerca a aproximadamente la frecuencia de conmutación en la que no se obtendría nada más que ruido.

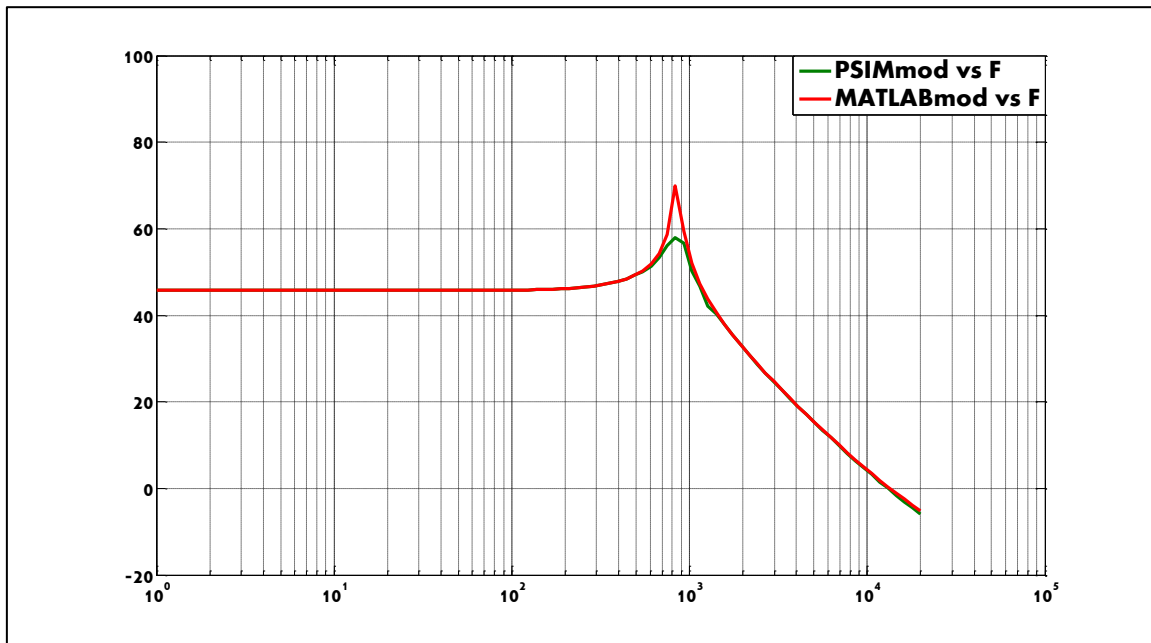


Ilustración 3.5 Diagrama de Bode comparación MATLAB vs PSIM

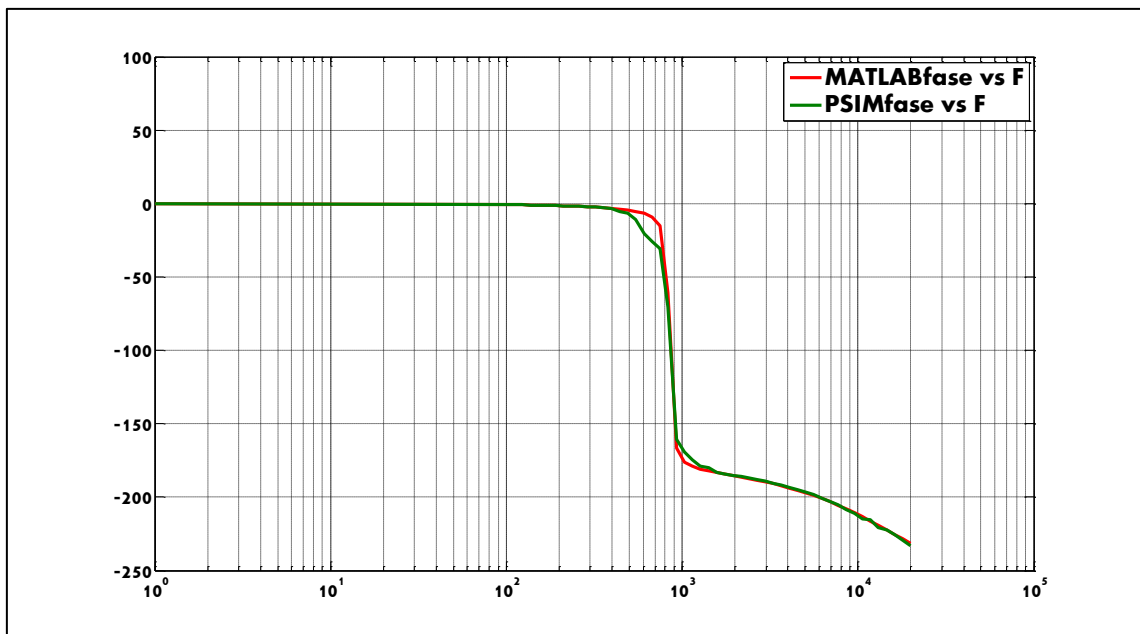
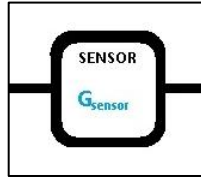


Ilustración 3.6 Diagrama de Bode comparación MATLAB vs PSIM

3.2 GANANCIAS DEL SISTEMA

3.2.1 GANANCIA SENSOR



Se encuentra a la salida de la planta un sensor, que es un divisor resistivo, formado por dos resistencias, como se puede observar en la ilustración 3.7.

La función de esta parte del circuito es obtener una tensión de entrada al ADC proporcional a la tensión de salida V_o y en los márgenes de funcionamiento del ADC.

Se toma como $R_1 = 20K\Omega$ y como $R_2 = 710\Omega$ para obtener una tensión a la entrada del ADC de 1'65V.

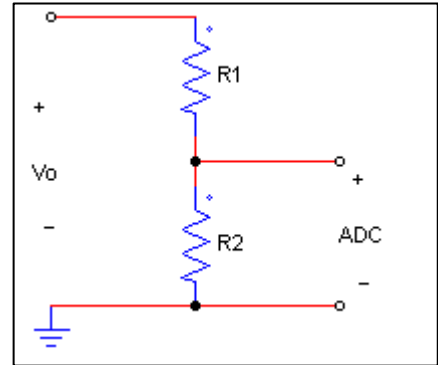


Ilustración 3.7 Sensor (Divisor resistivo)

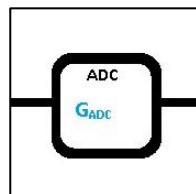
Con estos valores de resistencias calculados se ha querido comprobar si las pérdidas del sensor:

$$P_{sensor} = \frac{V_o^2}{R_1 + R_2} = 0'11W$$

Al tratarse de un divisor resistivo su ganancia no es más que el cociente de la tensión de salida entre la de entrada. Su función es la siguiente:

$$G_{sensor} = \frac{R_2}{R_1 + R_2} = 0'034$$

3.2.2 GANANCIA ADC



El ADC es un convertor analógico-digital el cual ayuda a la digitalización de la tensión a la salida de la planta. Este módulo convertor A/D es independiente de la FPGA. La colocación en el circuito es la que se aprecia en la ilustración 3.8. Se coloca a la salida del sensor, que da esa tensión proporcional a la tensión de salida, y a uno de los conectores especiales de la FPGA. [3][4]

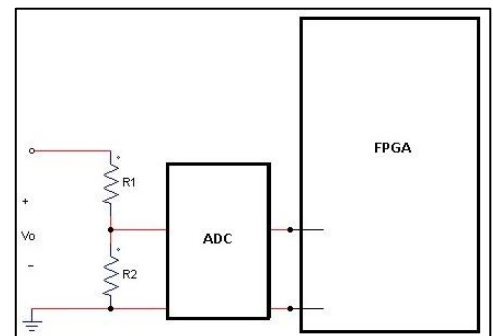


Ilustración 3.8 Disposición ADC

El modulo que se añade a la FPGA es el siguiente:

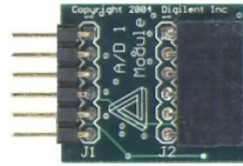


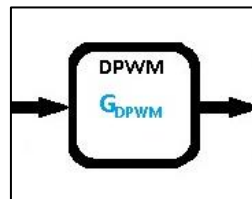
Ilustración 3.9 MODULO ADC

$$G_{ADC} = \frac{2^{N_{ADC}} - 1}{V_{ref_ADC}} = 1'24 \cdot 10^3$$

N_{ADC} es el número de bits que componen el vector de entrada del ADC. En este caso se obtienen del ADC un vector de bits de longitud 12 bits.

V_{ref_ADC} Es el valor de tensión de referencia del ADC que en este caso es el valor de máxima tensión que puede digitalizar el módulo ADC. Este ADC puede tomar un máximo de tensión de 3'3V.

3.2.3 GANANCIA DPWM



El sistema generador de DPWM está diseñado de la forma que se observa en la ilustración 3.10. La ilustración ha sido hecha mediante PSIM y se muestra de una forma analógica. El DPWM se implementa mediante la FPGA, y no es más que una señal lógica de '1' o '0' que sale del resultado de comparar la señal del regulador con un contador que marca la frecuencia de conmutación de 100KHz.

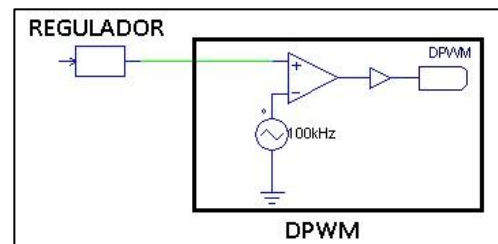


Ilustración 3.10 DPWM

La ganancia viene definida por la siguiente ecuación:

$$G_{DPWM} = \frac{1}{2^{N_{DPWM}} - 1} = 0'244 \times 10^{-3}$$

Donde N_{DPWM} es el número de bits del que se compone el vector de la señal de DPWM. En este caso se ha optado por usar un vector de 12bits coincidiendo con el vector del ADC.

3.3 DISEÑO DEL LAZO DE CONTROL

La idea general sobre el lazo de control es la representada en la ilustración 3.12. En los siguientes subcapítulos se explica paso a paso la obtención del mejor regulador para el convertidor elevador especificado.

En la Ilustración 3.11 está esquematizado el circuito de cómo está conectado el sistema y donde se encuentra el REGULADOR.

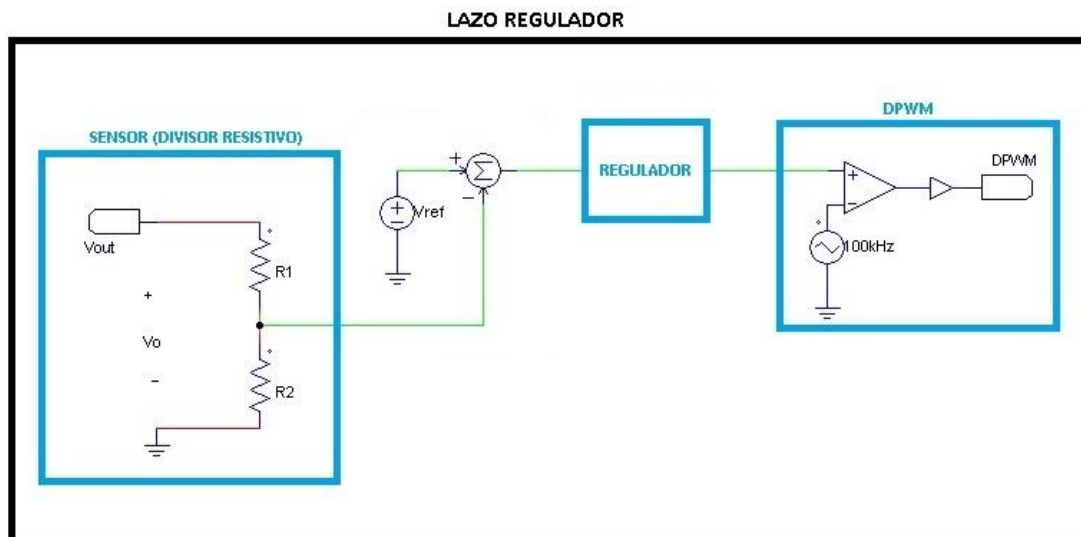


Ilustración 3.11 Diseño mediante PSIM del lazo de control

Se explica brevemente a continuación la metodología seguida para el cálculo del regulador, su discretización y las pertinentes simulaciones en cada paso:

- Diseño del regulador empleando MATLAB, con su respectiva representación en el dominio de la frecuencia.
- Comprobación del regulador obtenido mediante SmartCtrl.
- Simulación con PSIM con el regulador en tiempo continuo y validación de funcionamiento regulador ante escalones en la tensión de entrada
- Discretización del regulador mediante método Tustin y su comprobación en PSIM.
- Realización de la ecuación en diferencias del regulador y su comprobación en PSIM.

3.3.1 SISTEMA CONTINUO $H(s)$

Se ha creado un script de MATLAB en el que se han añadido todos los datos de la planta. Se han añadido las especificaciones de la planta y las ganancias del sistema. [5]

Se ha querido usar un “regulador tipo 3” el cual se compone de un polo en el origen, o lo que es lo mismo un integrador, dos polos reales coincidentes y dos ceros reales coincidentes también. Para el cálculo de este regulador se ha usado el “método del factor k” [10]. La constante “k” relaciona la posición de los polos y los ceros del regulador.

Para la utilización del “método del factor k” se tiene que tener en cuenta dos variables que son determinantes a la hora del diseño del regulador:

- MF: Margen de fase, ayuda a que el sistema una vez regulado sea más estable.
- f_c : Frecuencia de corte o cruce. En esta frecuencia el valor de la ganancia del sistema en lazo abierto debe ser 0dB. Cuanto mayor sea la frecuencia más rápida será su respuesta ante perturbaciones.

Se ha querido obtener un regulador estable y en cierta manera rápido y para ello se han tomado los siguientes parámetros:

- MF = 65°
- $f_c = 2$ kHz

También se ha calculado la función de transferencia denominada “todo menos el regulador” (TMR). TMR contiene la función de transferencia del convertidor elevador, la ganancia del sensor, la ganancia del DPWM y la ganancia del ADC.

$$TMR = G_{vd} \cdot G_{ADC} \cdot G_{sensor} \cdot G_{DPWM}$$

Una vez obtenido el TMR se han calculado la fase y la magnitud de la función a la frecuencia de corte especificada para así obtener la k. Una vez que se ha calculado la k se han dispuesto las diferentes frecuencias de los ceros dobles, los polos dobles y la del integrador. La siguiente ecuación es la usada para el cálculo de “k”.

$$k = \tan \left[\frac{MF + \frac{\pi}{2} - \angle[TMR(f_c)]}{4} \right]$$

Una vez obtenido el valor de “k” se calculó mediante las siguientes ecuaciones las frecuencias de polos, ceros e integradores:

$$f_z = \frac{f_c}{k} \quad ; \quad f_p = f_c \cdot k \quad ; \quad f_i = \frac{f_c}{\text{Mag}[TMR(f_c)] \cdot k^2}$$

Frecuencias obtenidas:

- Frecuencias de los ceros $\rightarrow f_z = 228'61$ Hz
- Frecuencias de los polos $\rightarrow f_p = 17'497$ kHz
- Frecuencia del integrador $\rightarrow f_i = 59'571$ Hz

Con estos cálculos se ha podido obtener la siguiente función del regulador $H(s)$ y por el consiguiente se los diagramas de Bode de magnitud y de fase del regulador.

$$H(s) = \frac{0.0001814 s^2 + 0.5212 s + 374.3}{8.274 \times 10^{-11} s^3 + 1.819 \times 10^{-5} s^2 + s}$$

Las ilustraciones 3.12 y 3.13 demuestran los parámetros impuestos y los obtenidos. En la magnitud del diagrama de Bode se observan las frecuencias de ceros, polos, y la de corte del regulador.

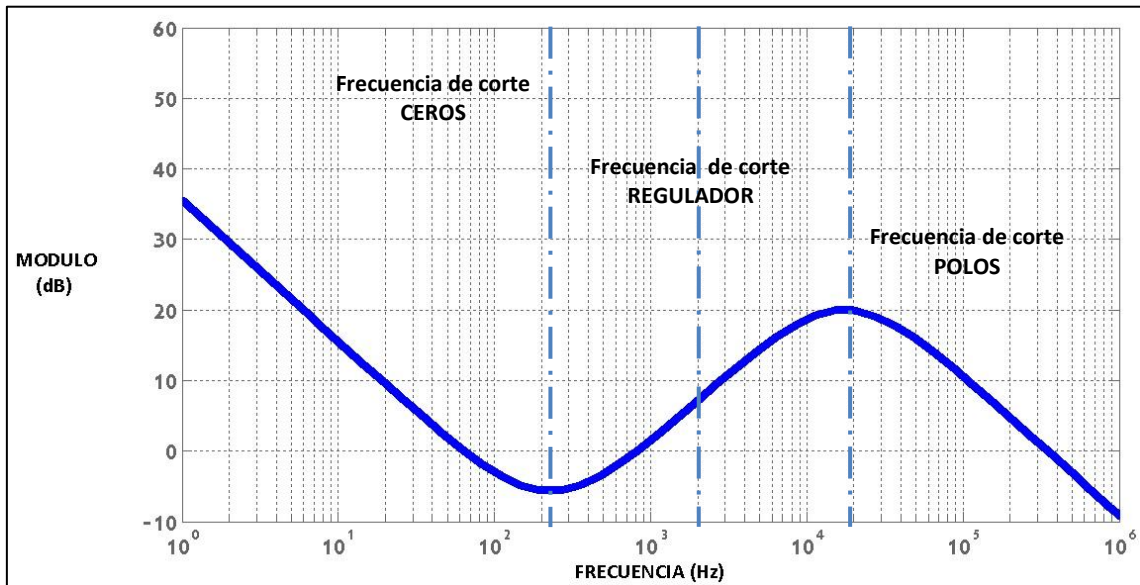


Ilustración 3.12 Diagrama de Bode Regulador H(s)

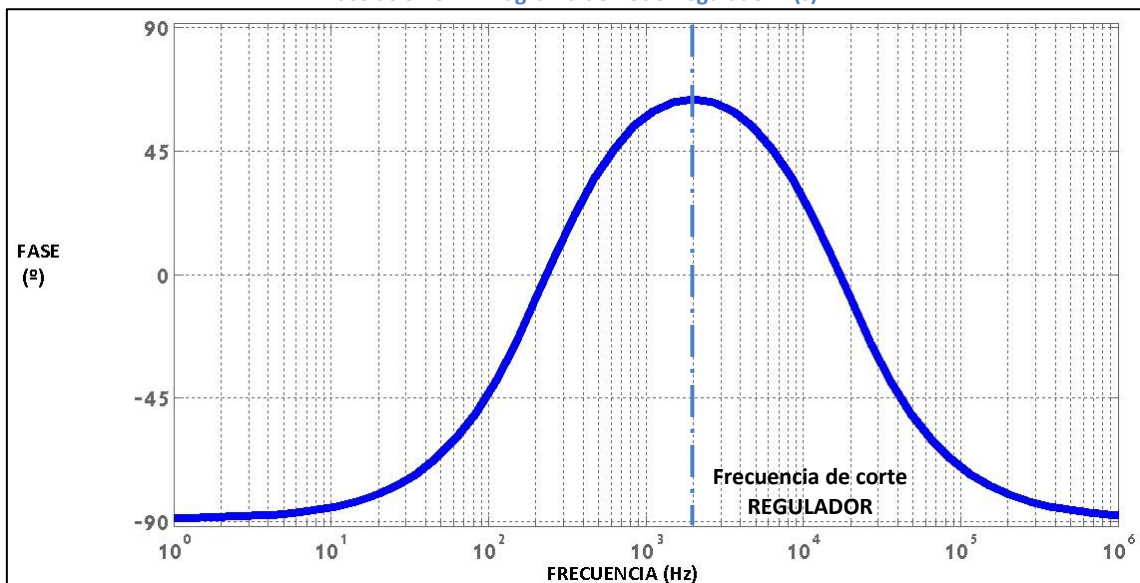


Ilustración 3.13 Diagrama de Bode Regulador H(s)

Las ilustraciones 3.14 y 3.15 forman la magnitud y la fase del diagrama de Bode de la función del sistema en lazo abierto ($TMR \cdot H$). En la fase se observa la frecuencia de corte del regulador cuando esta corta por 0dB. En este sistema se observa que corta en 2kHz, esto viene a ser por la relación de:

$$|TMR(fc) \cdot H(fc)| = 1$$

En la fase se observa como la función en la frecuencia de corte a partir de -180° ha aumentado 65° del MF impuesto.

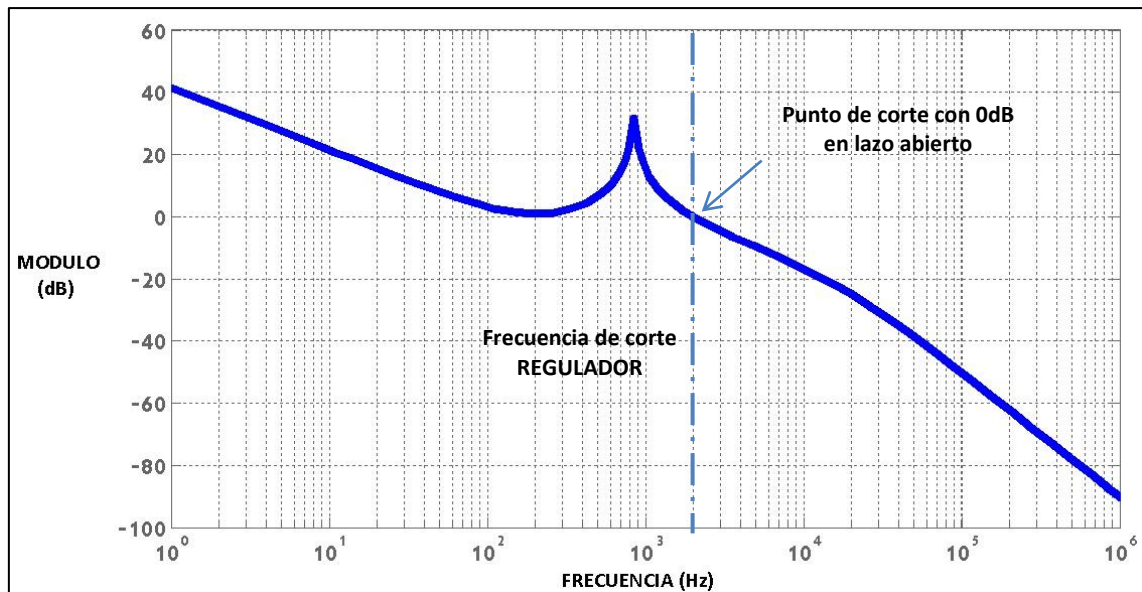


Ilustración 3.14 Diagrama de Bode de Lazo abierto GH

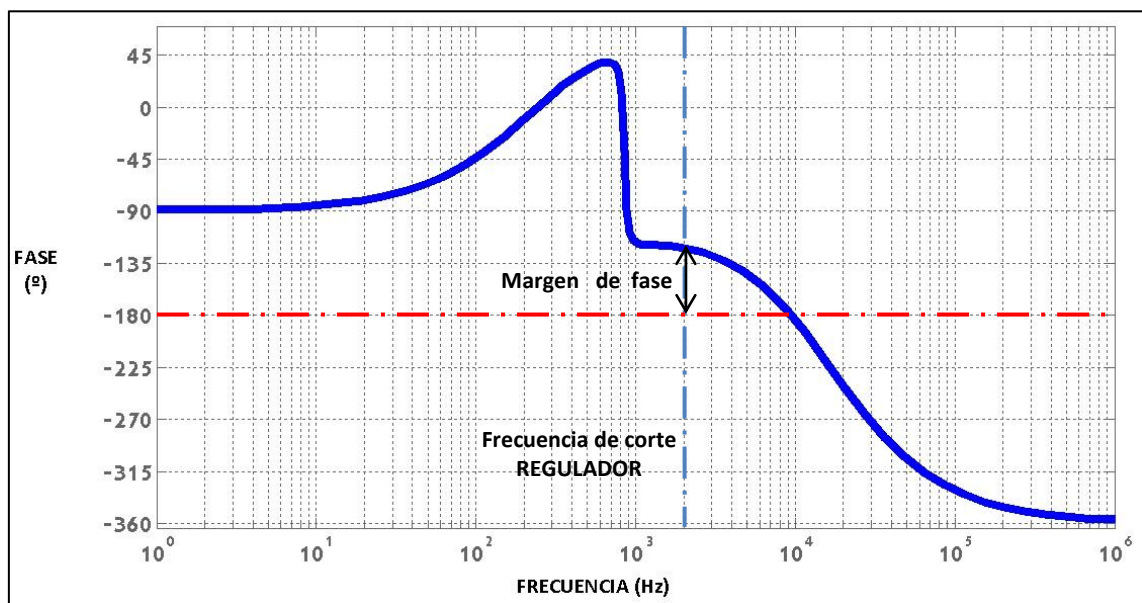


Ilustración 3.15 Diagrama de Bode de Lazo abierto GH

En la siguiente ilustración 3.16 y 3.17 se disponen el diagrama de Bode del sistema en lazo cerrado. El diagrama está compuesto por:

- GH_CL : Sistema completo en lazo cerrado
- G : Planta
- H : Regulador
- GH_OL : Sistema completo en lazo abierto

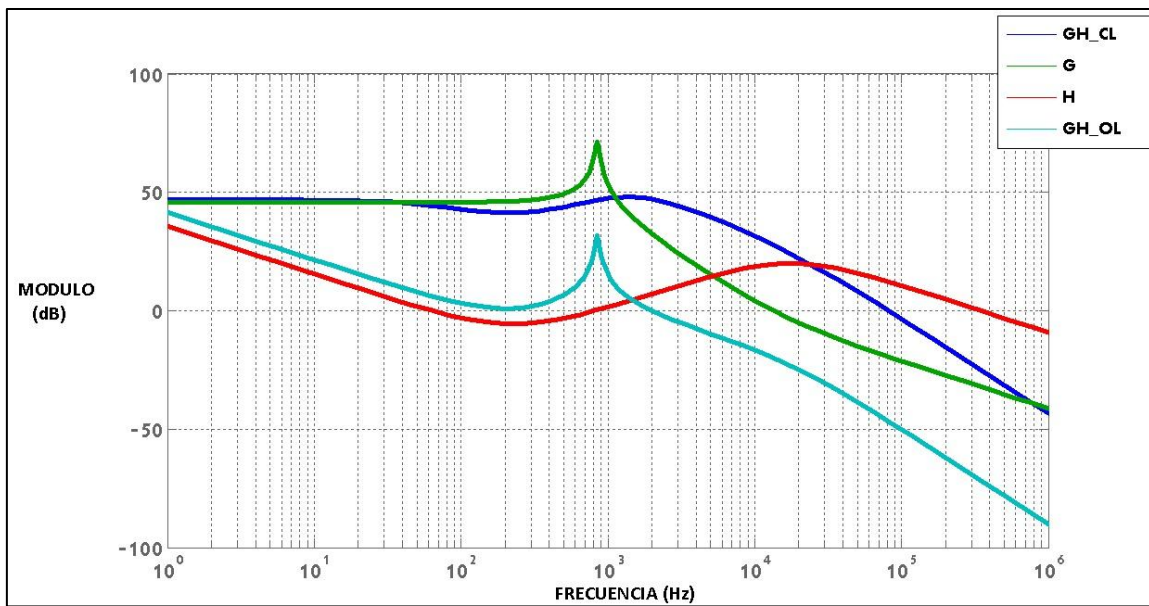


Ilustración 3.16 Diagrama de Bode Sistema Completo

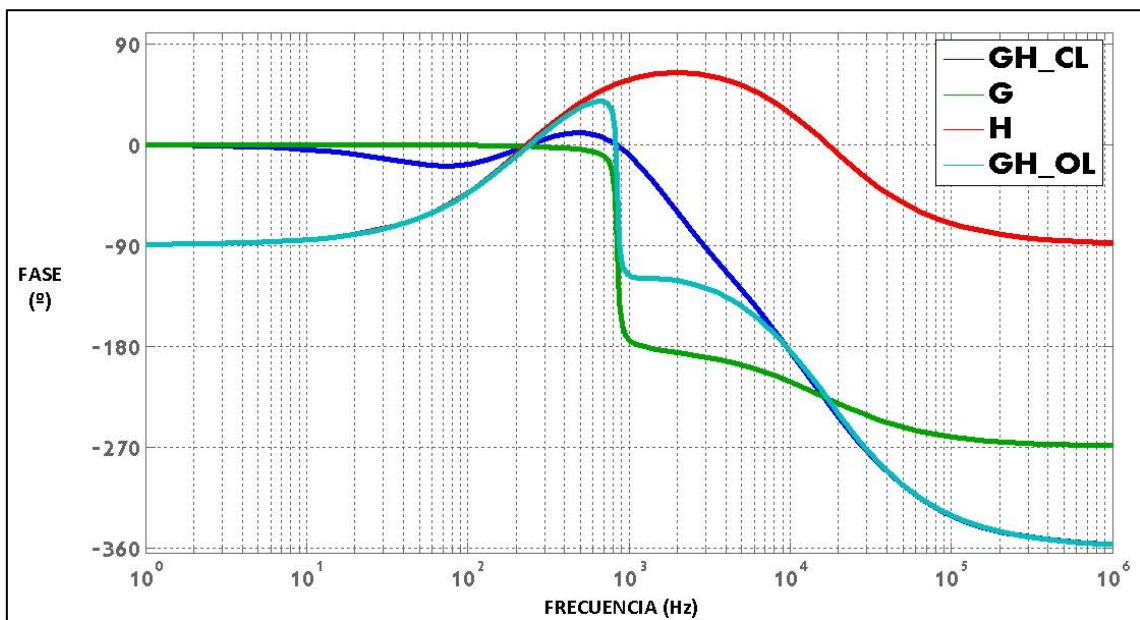


Ilustración 3.17 Diagrama de Bode Sistema Completo

3.3.2 SMARTCONTROL

La primera comprobación se ha hecho mediante el circuito elevador en PSIM que ha quedado declarado al final de la sección 2.1 Cálculo de la planta. Después se ha usado la aplicación de PSIM llamada SmartCtrl.[6] Lo primero es elegir una serie de elementos que definen el Sistema:

- PLANTA: tipo de planta que controlar. En este caso se trata de un elevador, en inglés BOOST, controlado por tensión.
- REGULADOR: tipo de regulador a usar. Habiendo muchos tipos de reguladores para un convertidor elevador debido a la característica expuesta en el subcapítulo anterior del cero en el semiplano derecho se debe buscar un regulador que ayude al elevar la fase de la planta para que sea estable. Por eso se ha usado un regulador de tipo 3.
- SENSOR: tipo de sensor con el que tomamos la medida de corriente o de tensión, para este se ha usado un divisor resistivo.
- MAPA DE SOLUCIONES: es una gráfica que representa el margen de fase frente a la frecuencia de corte. Queda determinado de color blanco la zona en la que es posible encontrar un regulador.

En la siguiente ilustración se ven los elementos que se pueden elegir en el SmartCtrl.

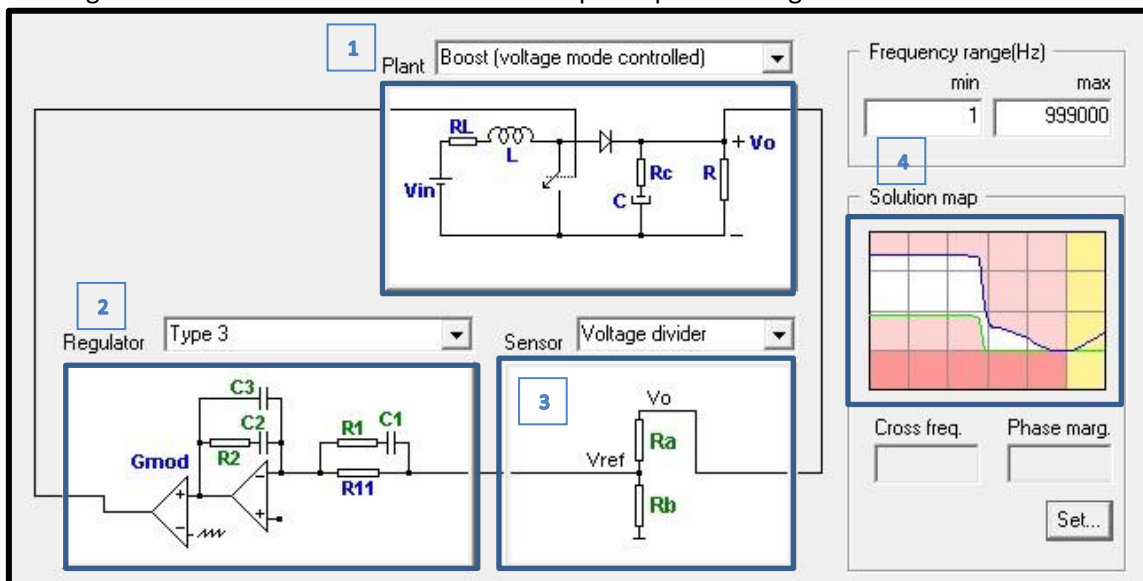


Ilustración 3.18 Configuración SmartCtrl

En la ilustración 3.19 se puede observar más de cerca el mapa de soluciones con el punto elegido para el regulador:

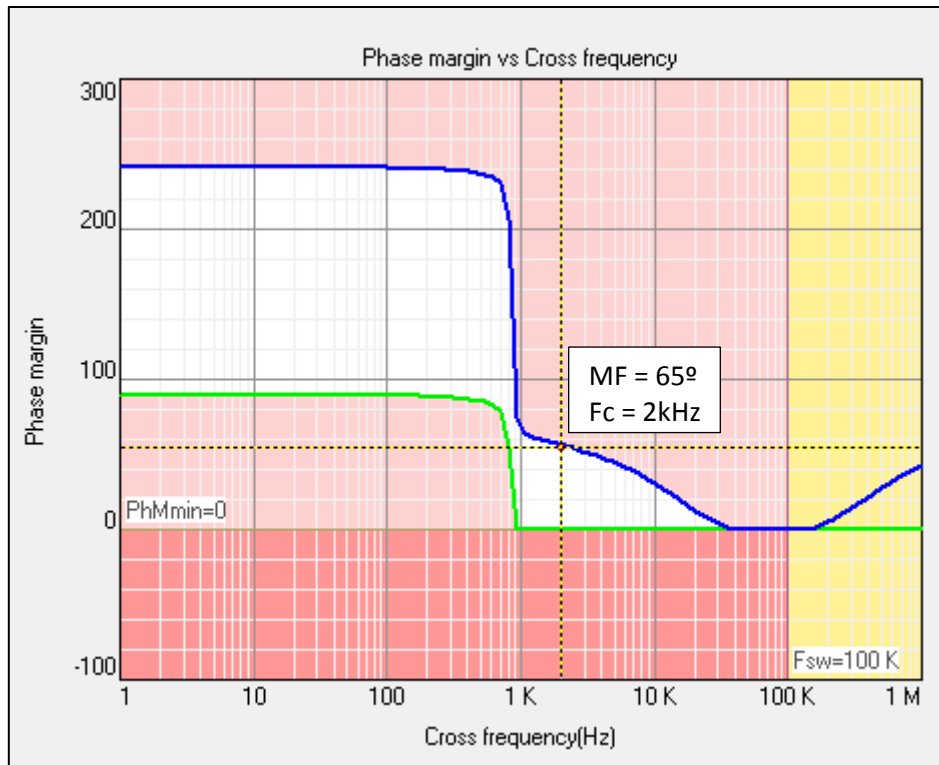


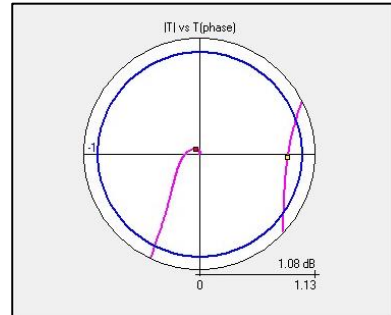
Ilustración 3.19 Mapa de soluciones SmartCtrl

Se puede observar como el punto escogido. El punto ha sido escogido para obtener una respuesta rápida y un margen de fase que da una cierta estabilidad. Si se hubiera escogido una frecuencia de corte mayor se tendría un sistema más rápido pero un margen de fase más justo.

Una vez hecho esto se han obtenido las siguientes ilustraciones las cuales dan a entender que se obtiene lo esperado y calculado. Teniendo en cuenta que en el mapa de soluciones se encontraba el punto en una zona roja se ve que el sistema es estable aun estando en zona roja.

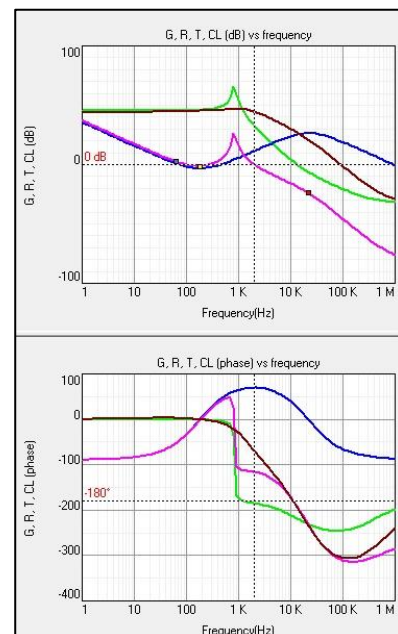
Primero se observa el diagrama de Nyquist

Y se ve claramente que la función no rodea el valor de -1 que es clave para decir que es estable.



El siguiente punto es ver los diagramas de Bode los cuales son iguales que los calculados anteriormente.

El diagrama de Bode esta compuesto por 4 elementos:



Hay pequeñas diferencias entre los diagramas de Bode calculados por MATLAB y por SmartCtrl estas son debidas a que en SmartCtrl se tienen en cuenta la ESR(resistencia equivalente en serie) en la bobina y el condensador.

3.3.3 COMPROBACIÓN PSIM $H(s)$

Para comprobar si el regulador $H(s)$ obtenido anteriormente se ha exportado el sistema de SmartCtrl a un circuito diseñado en PSIM. Hay dos formas de pasar el regulador al circuito de forma analógica y de forma en el dominio de s . En este caso se ha realizado mediante el dominio de s .

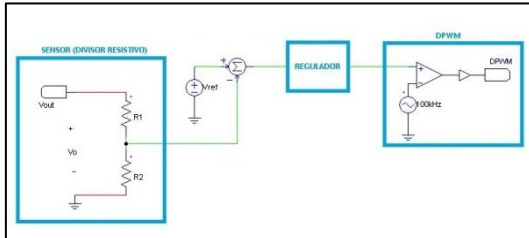


Ilustración 3.21 Circuito Lazo regulador

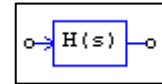


Ilustración 3.20 Función de transferencia en el dominio de s

Se ha colocado en el lugar del regulador el elemento de la ilustración 3.20 con el que se puede introducir la función $H(s)$ calculada mediante MATLAB.

Para comprobar si el sistema es estable se han introducido unos diferentes pulsos de tensión positiva y negativa para comprobar su estabilidad. Se ha obtenido la siguiente señal de la tensión de salida del sistema en la ilustración 3.22.

En la ilustración se puede ver la comparación entre la señal de salida y la de entrada: cómo la señal de entrada varía en unos tramos y la señal de salida no varía y se mantiene estable.

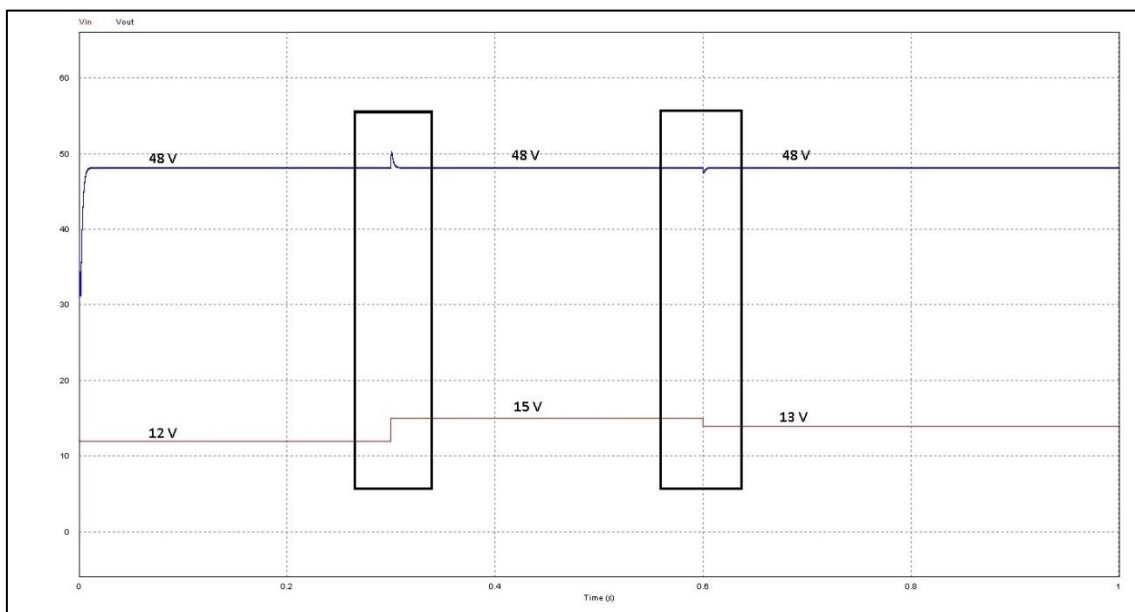


Ilustración 3.22 Señal V_o PSIM

Como se observa en la ilustración 3.22 el sistema es perfectamente estable.

- Escalón de tensión positivo: A 300ms se ha aplicado pulso de tensión de +3 V y recupera el valor de tensión esperado de 48 V en un tiempo muy rápido como se puede ver en la ilustración 3.23. Tarda exactamente 0'01s.
- Escalón de tensión negativo: A 600ms se ha aplicado un pulso de tensión de -1 V y se ve que exactamente vuelve a recuperar la tensión de salida requerida de 48 V. El tiempo de estabilización es el mismo que con el escalón positivo de tensión, $t = 0'01s$.

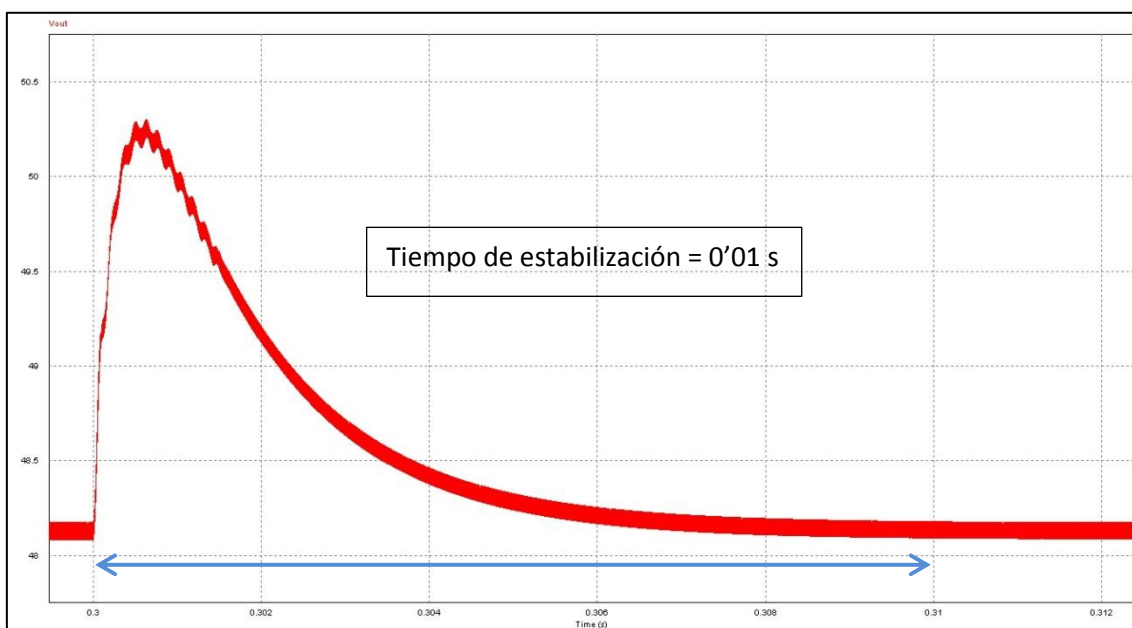


Ilustración 3.23 Señal V_o (Aumento de tensión)

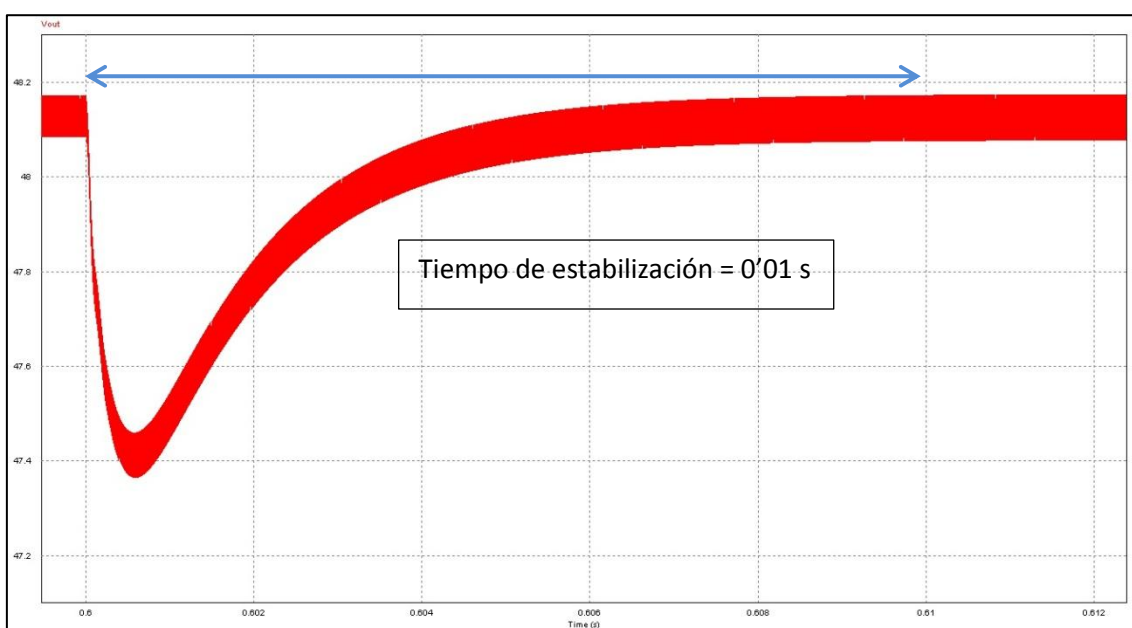


Ilustración 3.24 Señal V_o (Disminución de tensión)

3.3.4 DISCRETIZACION TUSTIN 'PREWARP'

La discretización ha sido llevada a cabo mediante un script de MATLAB por el método bilineal o método Tustin con “pre-warping”. [12]

Este método es el usado para el procesamiento digital de señales y el control en señales discretas. Cuando se aplica pre-warping se realiza para que en la frecuencia deseada se obtengan las menores distorsiones posibles.

Las principales ventajas del uso del método Tustin con pre-warping son:

- No se encuentra distorsión por aliasing de la respuesta en frecuencia.
- Minimiza el problema de la distorsión en frecuencia.

El método necesita un tiempo de muestreo (sampling time) el cual es la inversa de la frecuencia de conmutación.

$$t_s = 1/f_{sw} = 10 \mu s$$

También se aplica la opción prewarp para ello se debe poner la frecuencia de corte del regulador en radianes.

Con esto se puede obtener la siguiente ecuación, el regulador discretizado.

$$H(z) = \frac{4.632 z^3 - 4.5 z^2 - 4.632 z + 4.501}{z^3 - 1.58 z^2 + 0.6641 z - 0.08409}$$

3.3.4.1 COMPROBACIÓN PSIM $H(z)$

Se ha querido comprobar el funcionamiento del regulador $H(z)$.

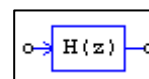


Ilustración 3.25 Función de transferencia en el dominio z

Para ello hemos usado el mismo lazo de control que para la función de transferencia en el dominio s cambiándolo por la función de transferencia en el dominio de z como se puede ver en la ilustración 3.25.

Para las comprobaciones se han implementado unos pulsos positivos y negativos de tensión para comprobar la estabilidad del sistema.

EL sistema es totalmente estable como se puede ver en la ilustración 3.26. Se observan los picos positivos y negativos de tensión y se ve cómo se regulan sin problemas. Además se ven los cambios en la tensión de entrada frente a la estabilidad que se obtiene a la salida.

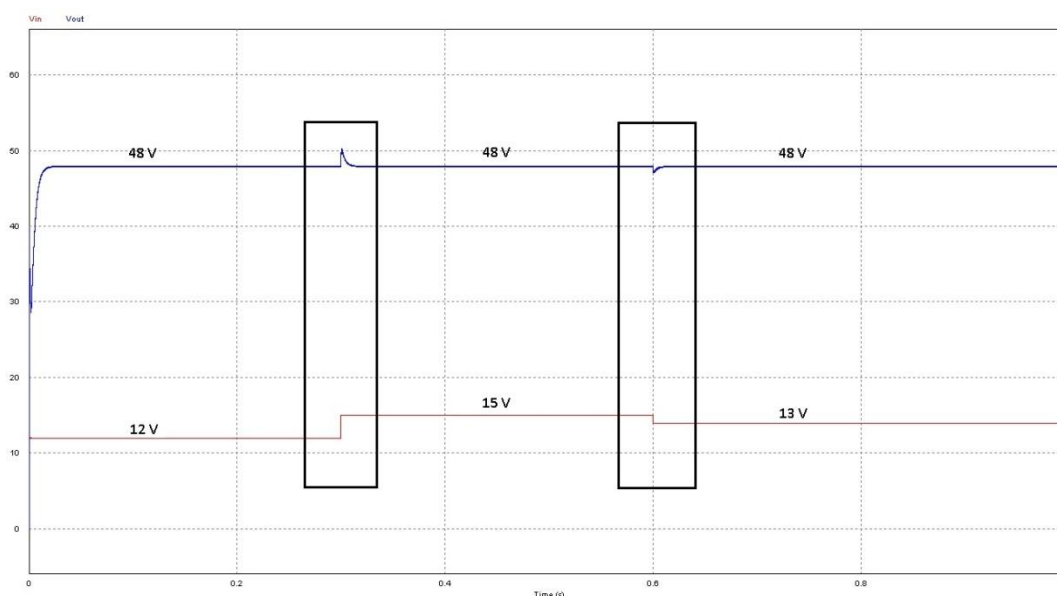


Ilustración 3.26 Señal V_o PSIM

Las ilustraciones 3.27 y 3.28 son un zoom sobre las zonas de los picos de tensión. En ellas se puede observar el tiempo de reacción para estabilizarse.

- Escalón de tensión positivo: A 300ms se ha aplicado pulso de tensión de +3 V y recupera el valor de tensión esperado de 48 V en un tiempo muy rápido como se puede ver en la ilustración 3.27. Tarda exactamente 0'015s.
- Escalón de tensión negativo: A 600ms se ha aplicado un pulso de tensión de -1 V y se ve que exactamente vuelve a recuperar la tensión de salida requerida de 48 V. El tiempo de estabilización es el mismo que con el escalón positivo de tensión, $t = 0'015s$.

Comparado con la aplicación del regulador en dominio de s vemos que se aumenta el retardo de estabilización.

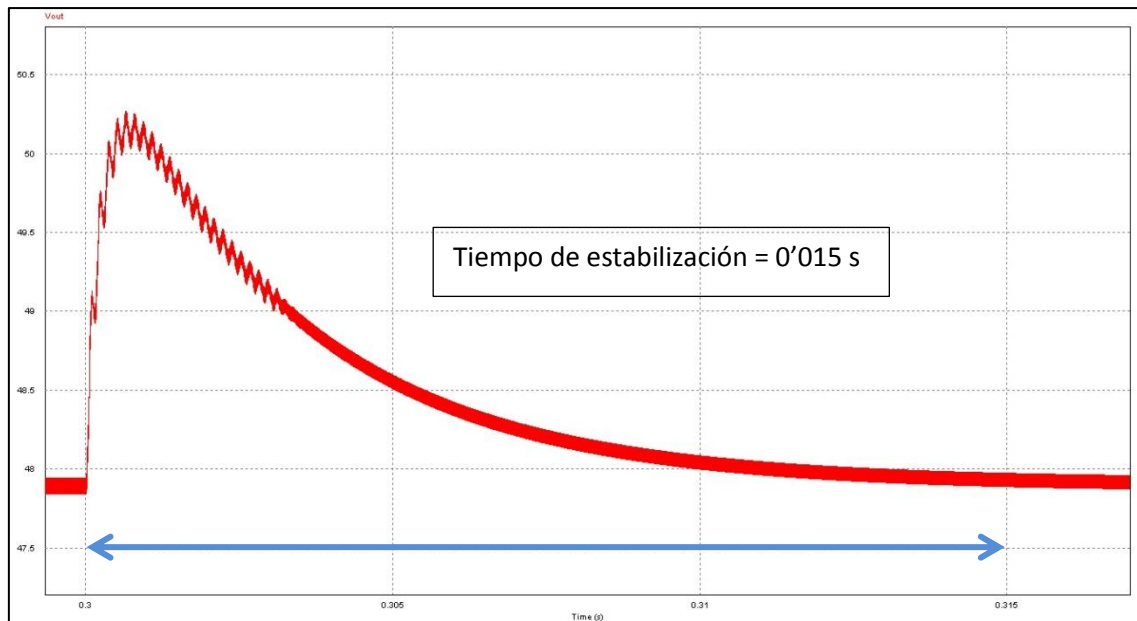


Ilustración 3.27 Señal V_o (Aumento de tensión)

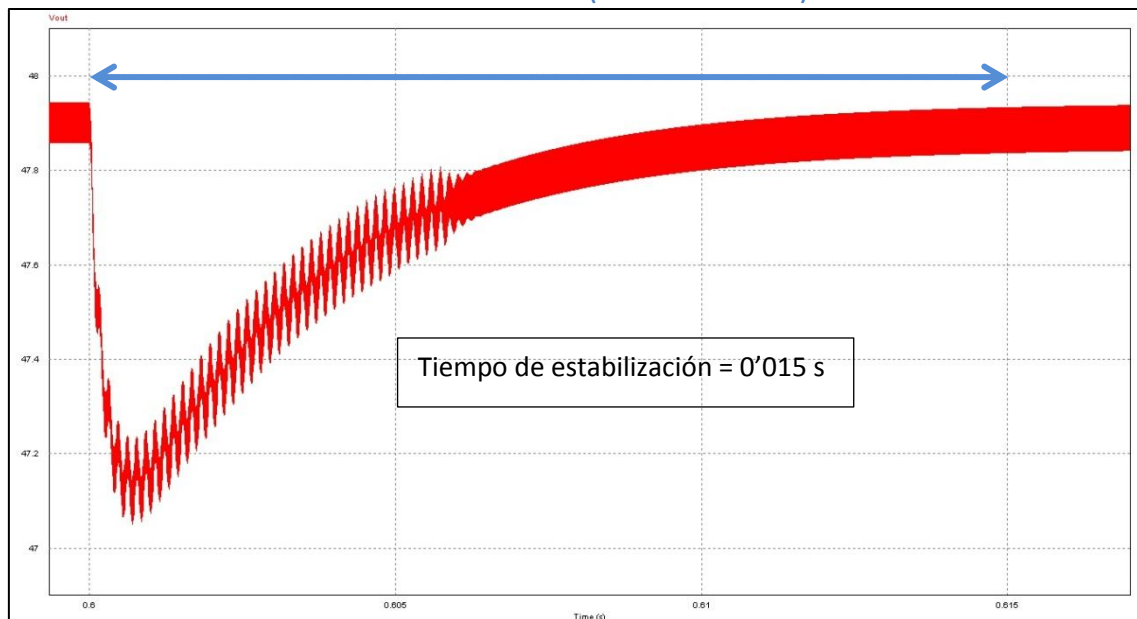


Ilustración 3.28 Señal V_o (Disminución de tensión)

3.3.5 ECUACION EN DIFERENCIAS

El mejor método para implementar un regulador para un convertidor CC/CC mediante una FPGA y dispositivos digitales es el uso de la ecuación en diferencias.[9]

Primero se obtiene el regulador de forma continua en el dominio de “s”. De la forma:

$$H(s) = \frac{b_0 \cdot s^3 + b_1 \cdot s^2 + b_2 \cdot s + b_3}{a_0 \cdot s^3 + a_1 \cdot s^2 + a_2 \cdot s + a_3}$$

Más adelante se discretiza la función H (s) y así obtener en el dominio de “z” la siguiente función de transferencia:

$$H(z) = \frac{b_0 \cdot z^3 + b_1 \cdot z^2 + b_2 \cdot z + b_3}{a_0 \cdot z^3 + a_1 \cdot z^2 + a_2 \cdot z + a_3}$$

Una vez obtenida la función de transferencia se divide numerador y denominador por z^n con n siendo el número del máximo exponente de la función de transferencia, en este caso 3. Obteniendo la siguiente función de transferencia:

$$H(z) = \frac{b_0 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2} + b_3 \cdot z^{-3}}{a_0 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2} + a_3 \cdot z^{-3}} \quad ; \quad \text{con } a_0 = 1$$

H (z) es un cociente entre Y (z) y X (z). Siendo Y (z) los valores salientes del regulador, o en este caso el valor del ciclo de trabajo para el DPWM. X (z) son los valores que entran en el regulador que son los errores que salen de comparar los valores de tensión de salida con el valor de referencia. En el caso de usar un regulador de tipo 3 se toman los coeficientes “a” y “b” multiplicándolos por los ciclos de trabajo y errores de órdenes anteriores.

La ilustración 3.29 muestra la forma de la aplicación de un filtro digital de forma directa II. Este método ayuda a la aplicación de un regulador de forma digital en ecuación en diferencias. Otra forma de aplicar la ecuación en diferencias es a partir de un filtro digital de forma directa I pero este método tiene más retardos que el de la forma directa II y por eso no es el usado.

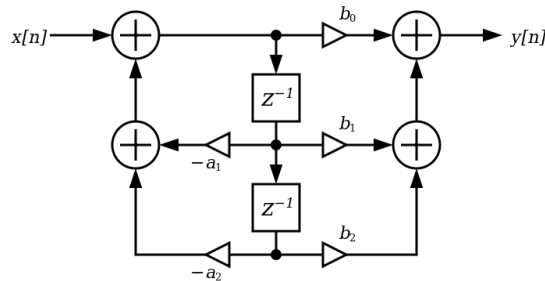


Ilustración 3.29 Filtro digital forma directa II (ecuación en diferencias)

Según lo explicado nos queda la siguiente forma de ecuación en diferencias:

$$d_n = b_0 \cdot e_n + b_1 \cdot e_{n-1} + b_2 \cdot e_{n-2} + b_3 \cdot e_{n-3} - a_1 \cdot d_{n-1} - a_2 \cdot d_{n-2} - a_3 \cdot d_{n-3}$$

3.3.5.1 COMPROBACIÓN PSIM ECUACIÓN EN DIFERENCIAS

La comprobación de la implementación de la ecuación en diferencias se ha realizado mediante el Subcircuito que se puede ver en la ilustración 3.30. Su colocación es exactamente igual que los reguladores anteriores, entre el valor de error y a la entrada del DPWM.

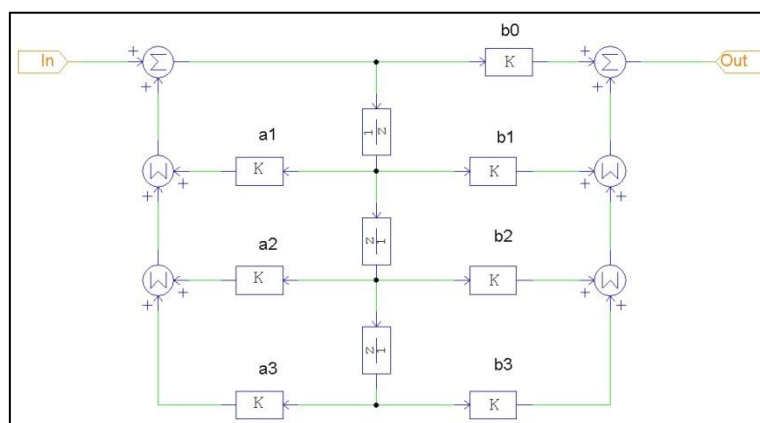


Ilustración 3.30 Subcircuito Ecuación en Diferencias

Los coeficientes “a1”, “a2”, “a3”, “b0”, “b1”, “b2”, “b3” son los de la función de transferencia de $H(z)$. Los coeficientes del denominador “a1”, “a2”, “a3” se introducen con el signo opuesto.

La ilustración 3.31 muestra la tensión de salida del convertidor regulado por la ecuación en diferencias y nos muestra que es perfectamente estable. Para ello se han aplicado pulsos de tensión los cuales ayudan a ver la estabilidad del sistema.

En la siguiente ilustración se compara también la señal de tensión de salida frente a la de entrada. Se ve que no hay cambios en la salida salvo los respectivos picos de estabilización.

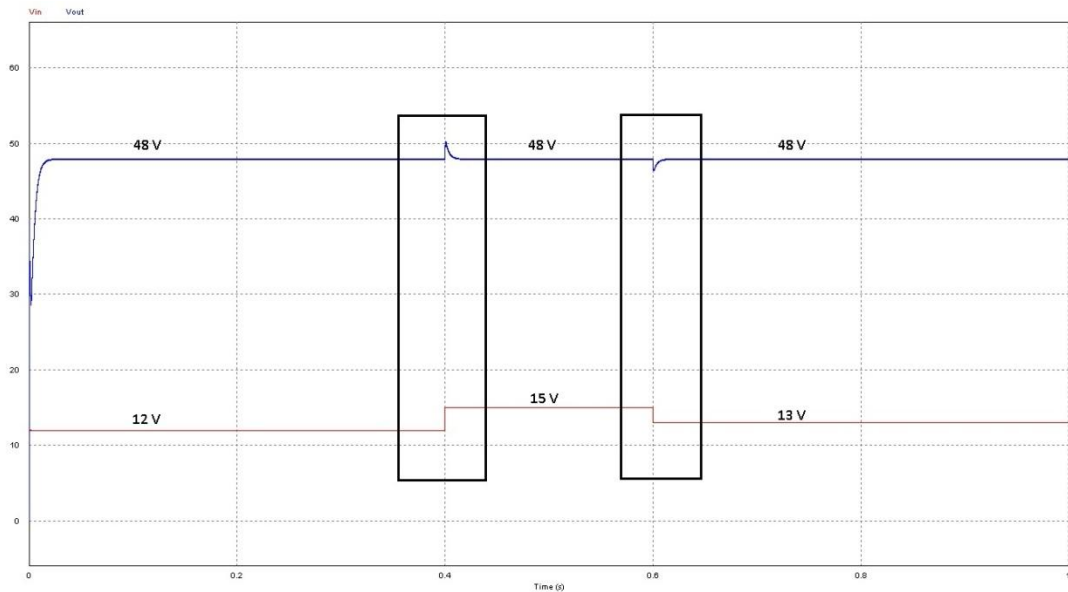


Ilustración 3.31 Señal Vo PSIM

Pulsos de tensión:

- Escalón de tensión positivo: A 400ms se ha aplicado pulso de tensión de +3 V y recupera el valor de tensión esperado de 48 V en un tiempo muy rápido como se puede ver en la ilustración 3.32. Tarda exactamente 0'015s.
- Escalón de tensión negativo: A 600ms se ha aplicado un pulso de tensión de -1 V y se ve que exactamente vuelve a recuperar la tensión de salida requerida de 48 V. El tiempo de estabilización es el mismo que con el escalón positivo de tensión, $t = 0'015s$

Los retardos de estabilización son mayores que con el regulador H(s) pero iguales que el regulador H (z).

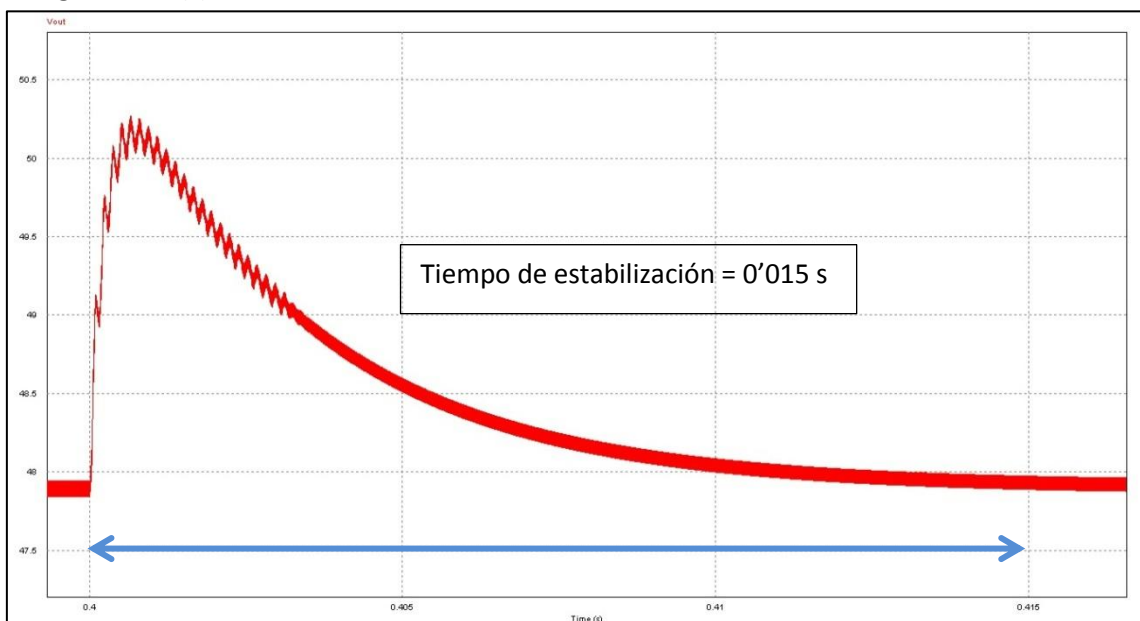


Ilustración 3.32 Señal Vo (Aumento de tensión)

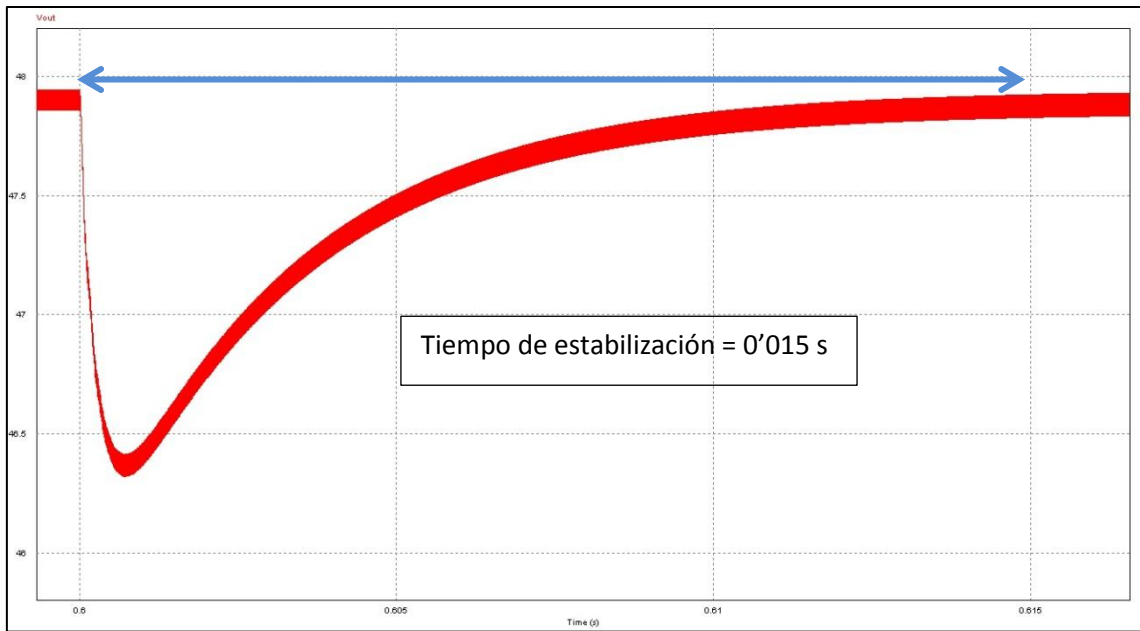


Ilustración 3.33 Señal V_o (Disminución de tensión)

4 DISEÑO ADC

El módulo ADC (Conversor analógico digital) usado es de Digilent el cual viene predispuesto para añadir a la FPGA escogida de Digilent. Este módulo está compuesto por 2 conversores AD, con esto se pueden obtener dos señales digitalizadas por un mismo modulo. El módulo es la siguiente:

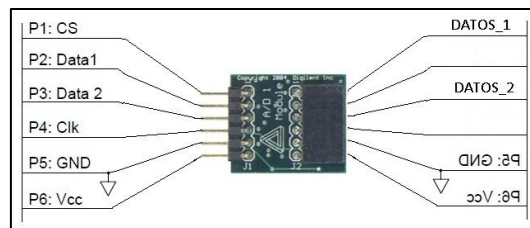


Ilustración 4.1 Modulo ADC

La parte izquierda es la que se conecta a la FPGA, y la parte derecha es por la que se introducen tensiones a convertir, estas tensiones tienen que ser entre 0V y 3'3V. Las señales por las que se introduce el voltaje a digitalizar son la entrada de DATOS_1 y la entrada de DATOS_2. Las señales de la izquierda que sin nombre es porque están conectadas interiormente a GND (tierra). Las señales de la izquierda son las siguientes:

- CS: Chip select, definida para activar y desactivar el conversor. Este se pondrá a nivel activo cuando deje de tomar datos y a nivel bajo cuando tome datos.
- DATA1: Donde se toman los datos que se obtienen de convertir la señal de entrada por DATOS_1.
- DATA2: donde se toman los datos obtenidos a partir del segundo conversor, tomando como entrada DATOS_2.
- Clk: el reloj que marca la velocidad de entrada de los datos convertidos.
- GND: la tierra de la FPGA.
- VCC: la alimentación que da la FPGA, por defecto es de 3'3V.

Para el uso del módulo conversor se han llevado a cabo una serie de programaciones mediante el programa de Xilinx. Para su diseño se han seguido las pautas de su datasheet. [6] El punto más importante a tener en cuenta a la hora de programar el ADC es el diagrama de tiempo este se puede observar en la siguiente ilustración 4.2:

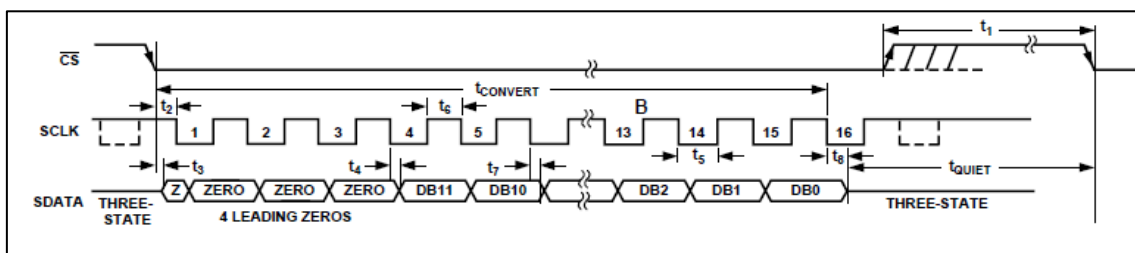


Ilustración 4.2 Diagrama de tiempos

Las variables que se observan en la ilustración 4.2 son:

- CS: Chip select, definida para activar y desactivar el conversor. Este se pondrá a nivel activo cuando deje de tomar datos y a nivel bajo cuando tome datos.
- SCLK: son los ciclos de un reloj especial para la toma de datos.
- SDATA: es la serie de valores de la tensión convertida. Estos datos son tomados en serie y por eso se tendrán que almacenar en un vector.

La relación de conversión A/D viene dispuesta en la ilustración 4.3. Se observa que tiene una relación lineal entre la tensión de entrada y el vector generado una vez digitalizado.

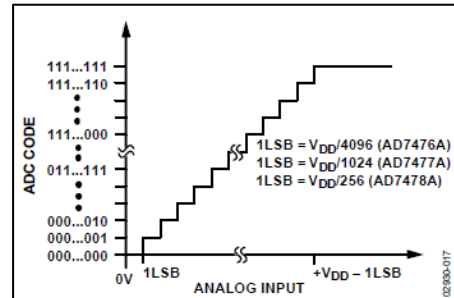


Ilustración 4.3 Función de transferencia ADC

Los datos del ADC vienen en serie y debido a ello se debe crear una forma en la que se puedan ir guardando esos valores, será en un vector de 12 bits. Las siguientes variables a definir para la obtención de dicho vector vienen marcadas por la datasheet del conversor:

- Fsclk: valor mínimo de 10kHz, se tomara un valor de 3'125MHz. Se ha tomado un valor que sea rápido, este valor variaría una vez se ponga en conjunto todo el sistema.
- Tsclk: es el periodo de la señal de ciclos del ADC, en este caso son 16 ciclos de los cuales los 4 primeros no se tienen en cuenta ya que son cuatro ceros.

A continuación se explica con un ejemplo el funcionamiento del conversor. Para ello se ha simulado con el programa Isim de Xilinx el ejemplo con una tensión para ver el funcionamiento de la toma de datos.

El ejemplo viene representado en la ilustración 4.4, el que según se ha preparado toma una tensión de 2V.

Como información inicial del funcionamiento comentar las dos primeras señales del diagrama de tiempos simulado. Reset e Inicio, la primera hace reiniciar todo el programa e Inicio tiene que estar a modo activo para que entre en funcionamiento el ADC.

- data_adc es la entrada de datos ya digitalizados por parte del ADC. Los datos los dará el ADC de forma que el bit más significativo entrara el primero hasta el menos significativo.
- cs_adc es la encargada de habilitar la entrada de datos por parte del ADC, poniéndose a nivel activo cuando se acaba la cuenta de 16 ciclos del ADC y estando a nivel bajo mientras se está tomando datos.
- Ciclos_sclk: son un total de 16 ciclos. Son los encargados de señalar el momento de la adquisición del dato del ADC e introducirlo en el vector out_data_adc.
- Out_data_adc: el vector en el que se introducen los datos del ADC y de ahí se toman para su posterior uso.

En la ilustración se observa como entra en data_adc el primer bit más significativo un 1 seguido del resto de valores. El valor del vector que obtenido es el siguiente "100110110001", esto es así ya que el rango de datos del ADC va desde "000000000000" que corresponde con el valor de 0V hasta el vector "111111111111" que correspondería con el valor máximo de tensión de entrada en el ADC de 3'3V.

En la imagen se ve al principio como el valor inicial del ADC es "UUUUUUUUUUUUU" ya que no es un valor inicializado pero una vez activado el circuito va adquiriendo datos de data_adc, obteniendo finalmente un vector final de "100110110001" que coincide con lo esperado de 2V, el nuevo ciclo viene iniciado por la activación de CS y la nueva cuenta de 16 ciclos y el valor del vector se reinicia para tomar el siguiente valor de tensión.

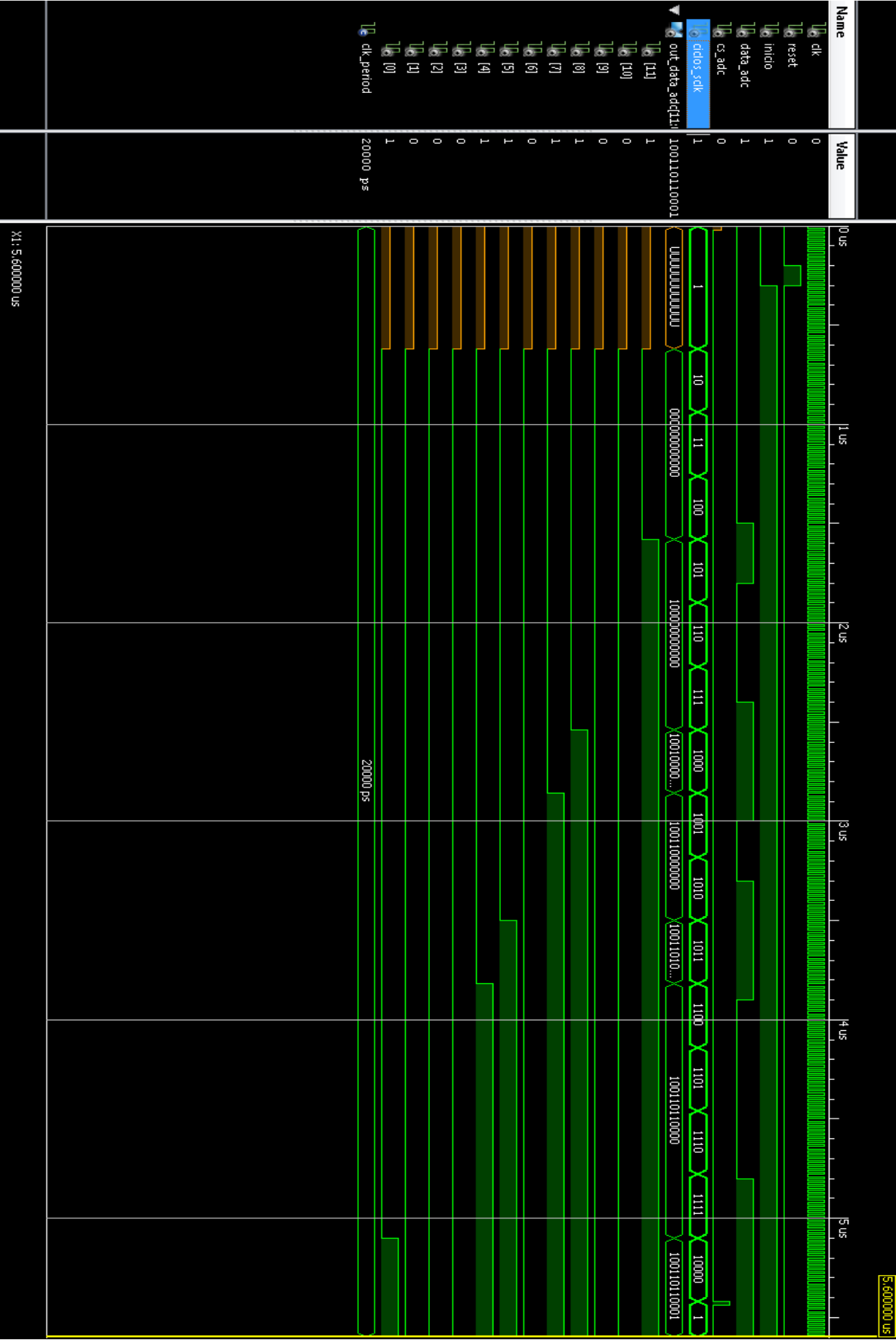


Ilustración 4.4 ADC 2V

5 RESULTADOS EXPERIMENTALES

Se han realizado pruebas experimentales con la planta diseñada. La configuración ha sido en lazo abierto. El modulador ha sido llevado a cabo por la FPGA, usando uno de sus jumpers de salida conectado a un circuito de adaptación.

5.1 CONVERTIDOR EN LAZO ABIERTO

Para la realización de pruebas experimentales se ha construido el convertidor elevador diseñado anteriormente en el apartado 2.3. El montaje final de la planta es el observado en la ilustración 5.1.



Ilustración 5.1 CONVERTIDOR ELEVADOR

En la planta totalmente montada se puede observar la colocación final de los jumpers, esto ayuda a un mejor manejo y montaje de circuitos. Las medidas finales de la planta son como se observan en la ilustración 5.2 de [4'2 x 4'7] cm.

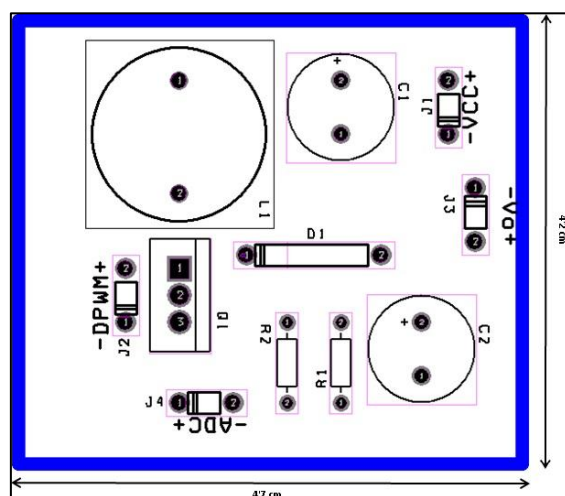


Ilustración 5.2 Medidas PLANTA

La resistencia de carga que se utiliza es la que se ve en la ilustración 5.3, se ha escogido esta ya que es una resistencia de 75Ω y está preparada para soportar aproximadamente 50W. Esta resistencia es especial para su utilización en sistemas de potencia. Tiene una recubierta de aluminio que ayuda a una mejor dispersión del calor.



Ilustración 5.3 RESISTENCIA DE CARGA

Para la utilización de la FPGA como conmutador se necesita un circuito de adaptación. Este circuito tiene que ser capaz de elevar la tensión a la salida de la FPGA para conmutar correctamente el MOSFET de la planta. Para ello se ha utilizado el circuito de la ilustración 5.5, se puede ver el circuito esquemático de cómo debe ser. La ilustración 5.4 es el circuito inversor real.

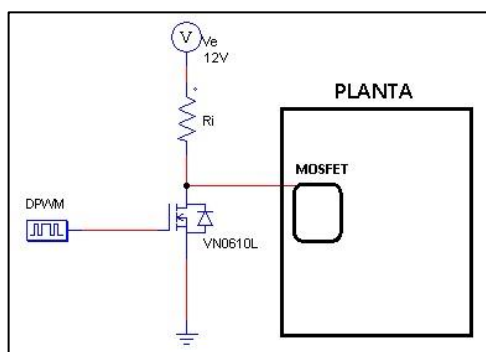


Ilustración 5.5 Circuito adaptación ESQUEMÁTICO

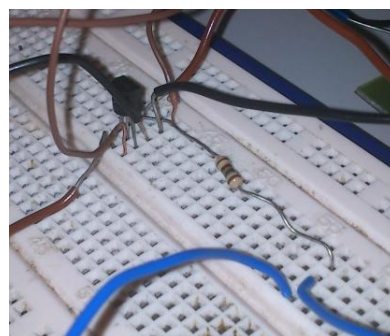


Ilustración 5.4 Circuito adaptación REAL

El circuito es capaz de elevar la tensión de nuestro pulso pero lo hará de forma inversa. Esto es que cuando la señal DPWM sea '1' a la entrada del MOSFET entrará un '0', sí por el contrario la señal del DPWM es '0' a la entrada del MOSFET será '1'. Teniendo en cuenta esta premisa se ha programado la FPGA de forma que la señal de ciclo de trabajo será la inversa de la buscada ya que el circuito de adaptación invierte dicha señal, así que se debe invertir antes para que la señal resultante sea la esperada. En la ilustración 5.6 Se ve un ejemplo de las señales.

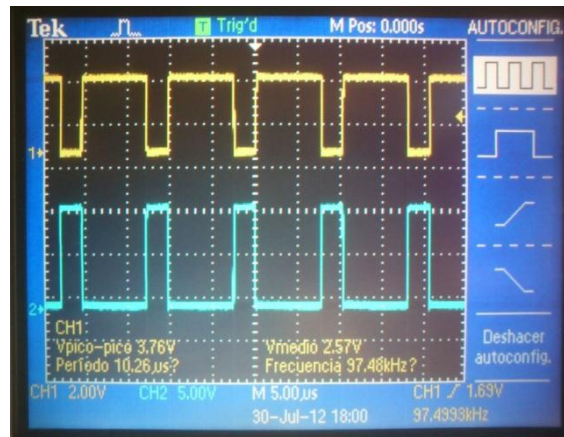


Ilustración 5.6 Ejemplo DPWM y señal invertida

Esto es un ejemplo de las dos señales. La señal amarilla que se encuentra en la parte superior de la foto es la obtenida de la FPGA, la llamada DPWM, y la señal turquesa la cual se encuentra en la parte inferior de la imagen es la obtenida a la salida del circuito de adaptación. En este caso se ha programado una señal de tipo pulso con ciclo de trabajo igual a 0'75 pero a la salida del circuito de adaptación se obtiene una señal de un ciclo de 0'25. También se ve como las señales tienen un valor distinto de tensión, por un lado está la señal saliente de la FPGA que tiene un valor de 3,76V y la señal del circuito de adaptación que tiene un valor de aproximadamente 12V con lo que se conmutará el MOSFET de la planta.

La FPGA se ha configurado para que su reloj tenga una frecuencia de 50MHz. La ilustración 5.7 muestra la FPGA con la que se ha realizado la señal DPWM. [7]

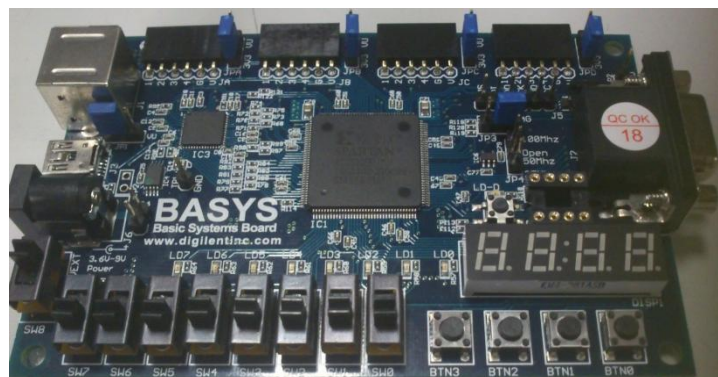


Ilustración 5.7 Plataforma Basys de Digilent

Se ha dispuesto la FPGA para que según los interruptores que se disponen en la placa ayuden a poder cambiar de ciclo de trabajo para cambiar la conmutación. Con la activación de cada interruptor a la salida de la FPGA se obtendrá un cierto ciclo de trabajo de 0'25, 0'50 y 0'75 respectivamente. Su activación es de la siguiente forma:

- $d = 0'25$: Activando el interruptor Sw0 se obtendrá una conmutación de $0'25$. Como se observa en la ilustración 5.8 el Sw0 está activo y eso hace que se obtenga por el display "0025" y la conmutación deseada de $0'25$.



Ilustración 5.8 Interruptor SW0 = '1', $d = 0'25$

- $d = 0'50$: Activando el interruptor Sw1 como se puede observar en la ilustración 5.9 se obtiene en el display un valor de "0050" y en una salida de la FPGA una conmutación de $0'50$.



Ilustración 5.9 Interruptor SW1 = '1', $d = 0'50$

- $d = 0'75$: Se consigue una conmutación de $0'75$ cuando el Sw2 está a nivel activo. Además se obtiene en el display lo siguiente "0075". Se puede observar todo esto en la ilustración 5.10.



Ilustración 5.10 Interruptor SW2 = '1', $d = 0'75$

Una PWM se forma basándose en la idea de comparar una señal triangular con una señal constante que dependiendo de su posición obtendremos un ciclo de trabajo mayor o menor. Una PWM ideal es aquella en la que la señal triangular tiene una rampa perfecta sin escalones. Una PWM ideal es la siguiente:

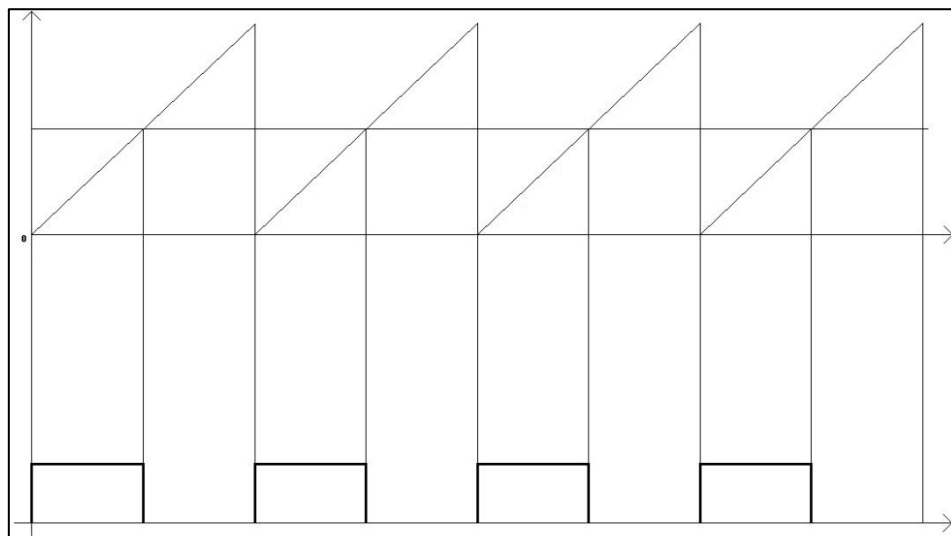


Ilustración 5.11 SEÑAL PWM

Esta señal obtenida en la ilustración 5.11 es la que se obtiene en electrónica analógica, en cambio en la electrónica digital es más complicado obtener esa rampa ideal, ya que al contar por bits necesariamente se debe dar saltos para ir aumentando de bit en bit. Se obtiene una mejor rampa cuanto más rápida sea la FPGA. De esta forma serían unos peldaños más pequeños y se acercaría a una rampa y por el consiguiente DPWM ideal. La señal DPWM es de la forma de la ilustración 5.12:

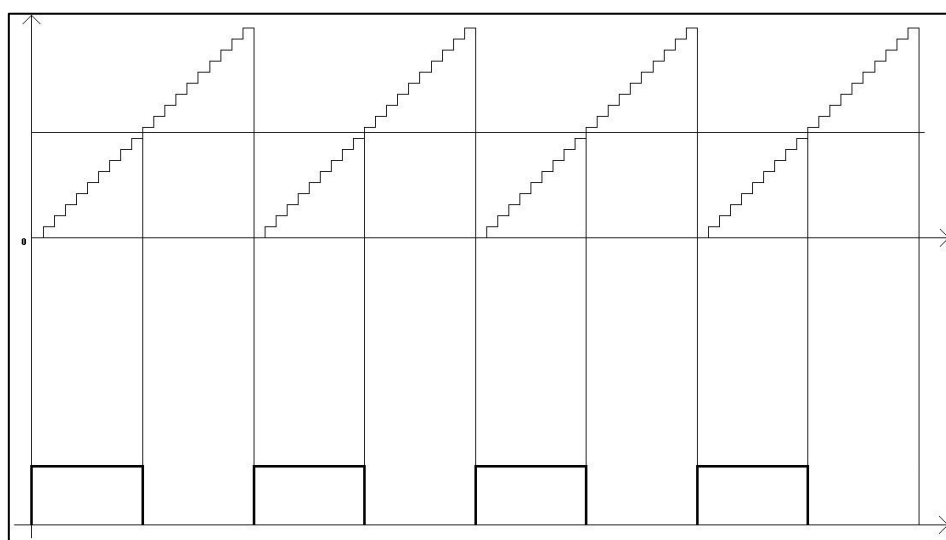


Ilustración 5.12 SEÑAL DPWM

Se ha diseñado el DPWM mediante lenguaje VHDL en la FPGA. Ya que la frecuencia interna de la FPGA es de 50MHz, el DPWM está compuesto por un contador de 12 bits con el que se consigue una frecuencia de conmutación de 97'656kHz. Esto se obtiene haciendo la cuenta desde el vector "0000 0000 0000" hasta "0001 1111 1111". Este contador representa la señal triangular de la ilustración 5.12. La señal continua con la que se compara esta señal triangular en el caso del lenguaje de programación no es más que comparar el vector del contador paso a paso con un vector de valor constante que dependiendo del ciclo de trabajo que se desee tendrá un valor u otro.

El circuito de la ilustración 5.13 ha sido realizado mediante la herramienta PSIM. Se trata de un elevador en lazo abierto. Se han hecho las pertinentes simulaciones para comparar más adelante con las pruebas experimentales los resultados obtenidos. Se ha ido cambiando el ciclo de trabajo en la parte del PWM.

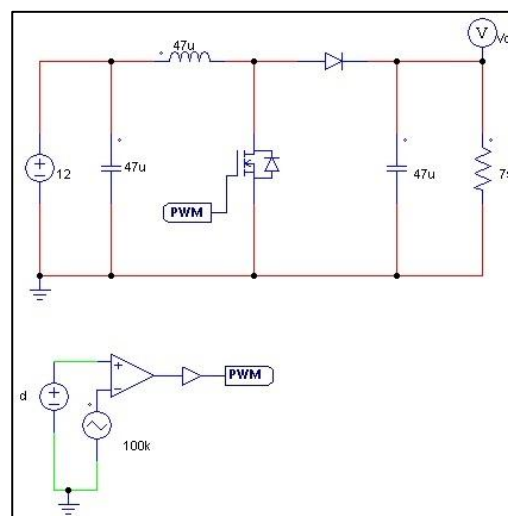


Ilustración 5.13 Circuito Elevador lazo abierto

5.1.1 CICLO DE TRABAJO $d = 0'25$

Lo primero que se ha dispuesto para esta composición ha sido la simulación del circuito en lazo abierto con un ciclo de trabajo de 0'25. Con lo que se han obtenido las siguientes graficas de señales. En la primera ilustración la 4.8 se puede observar la tensión de salida frente a la tensión de entrada, y en la ilustración 5.14 se puede ver la corriente que circula por la bobina que en definitiva como antes ha sido explicado es la corriente de entrada.

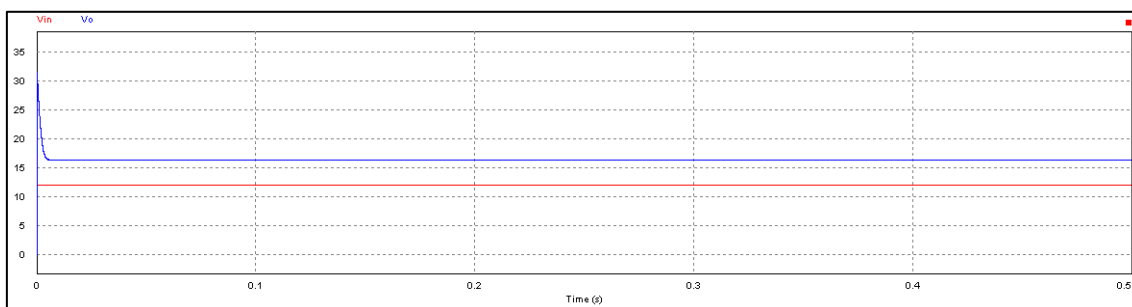


Ilustración 5.14 Señales de tensión de entrada y salida

La tensión de salida obtenida con este ciclo de trabajo es de 16'31V. La tensión de entrada es 12V. A la hora de comparar datos simulados con los experimentales siempre hay que tener en cuenta la perfección de los simulados y la imperfección a las que se somete las pruebas experimentales, como se puede comentar sobre el pico de tensión inicial que se observa en la imagen de las tensiones.

A continuación se observa la corriente que circula por la bobina y como antes se dijo la corriente de entrada. Se puede ver cómo está el circuito en MCC y no hay problemas en su funcionamiento. El valor de corriente medio es aproximadamente 0'3 A.

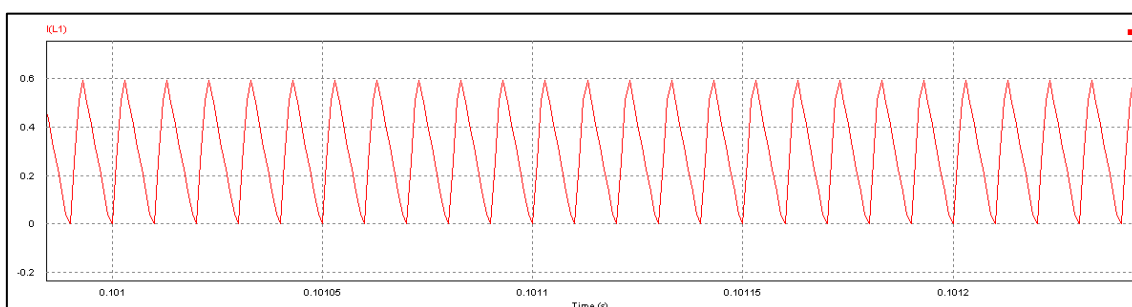


Ilustración 5.15 Señal de corriente de entrada

La segunda parte para la realización de la prueba experimenta con ciclo de trabajo de 0'25 es la de la obtención de este ciclo mediante la FPGA. En la ilustración 5.16 se ve cómo se obtiene una señal DPWM denominada signal_out la cual tiene un periodo como viene puesto en la base de la imagen de 10'24μs que es igual a 97'656KHz aproximadamente 100KHz.

En la ilustración 5.16 se observa como signal_out no es de un ciclo de trabajo de 0'25 sino que es de 0'75, esto es así ya que cómo se ha comentado antes es necesario invertir la señal de la DPWM para que el circuito acondicionador más tarde invierta esta señal y la aumente de tensión para que encienda y apague el MOSFET de la forma deseada.

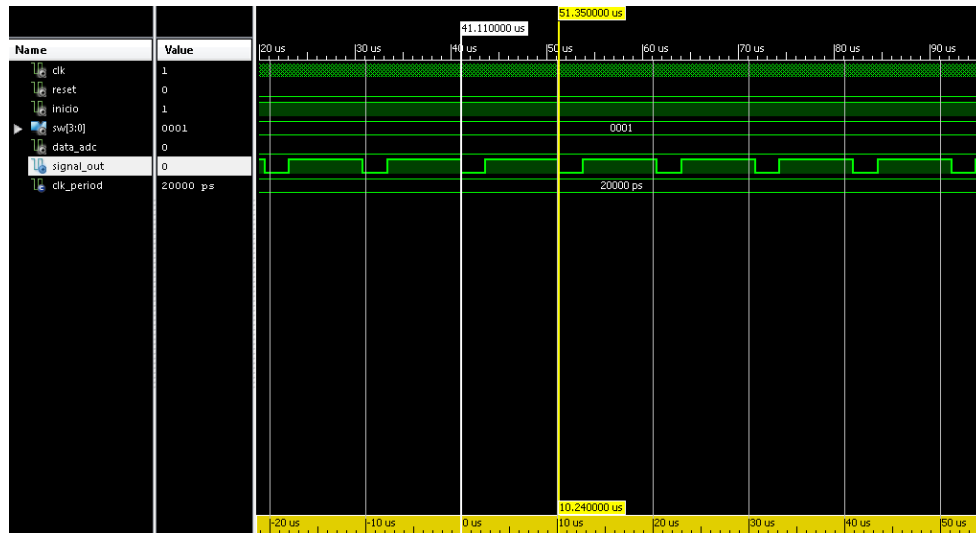


Ilustración 5.16 Simulación FPGA mediante Isim d= 0'25

Como primera comprobación de su buen funcionamiento se ve la en la ilustración 5.17 se ve la alimentación de la planta que es de 12V la corriente de entrada es 0'27 que coincide aproximadamente con la corriente obtenida anteriormente en la simulación mediante PSIM que era de 0'30A.



Ilustración 5.17 Fuente de alimentación

La ilustración 5.18 muestra las dos señales de DPWM, como se puede ver la señal amarilla es la que se obtiene a la salida de la FPGA y la señal turquesa es la obtenida a la salida del circuito acondicionador. La señal turquesa es la que afecta directamente al MOSFET. Se observa además que la frecuencia de conmutación es de 97'500KHz como se esperaba.

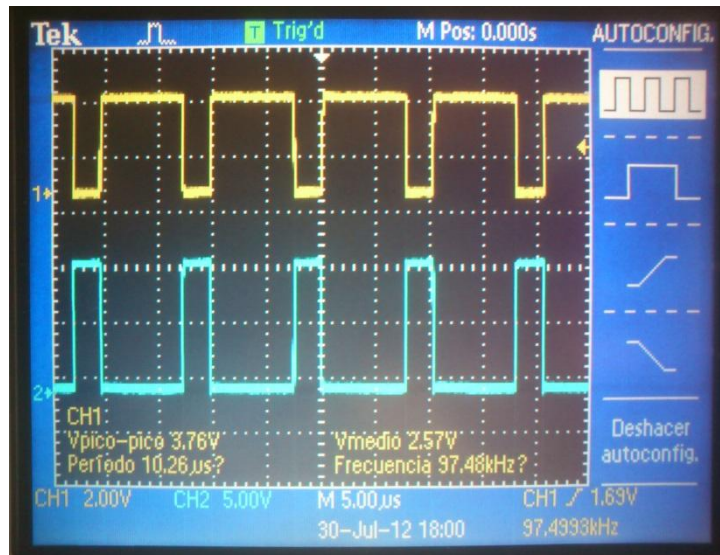


Ilustración 5.18 Señal DPWM invertida y no invertida

Gracias a un osciloscopio de cuatro canales se han podido comparar la señal de tensión a la salida, y las señales de las DPWM a la vez. En la ilustración 5.19 se puede observar las tensiones comentadas anteriormente. Como tensión de salida está la señal de color amarilla que muestra un valor de 16'6V, que es lo que se esperaba comparándolo con el valor obtenido mediante simulación de PSIM.

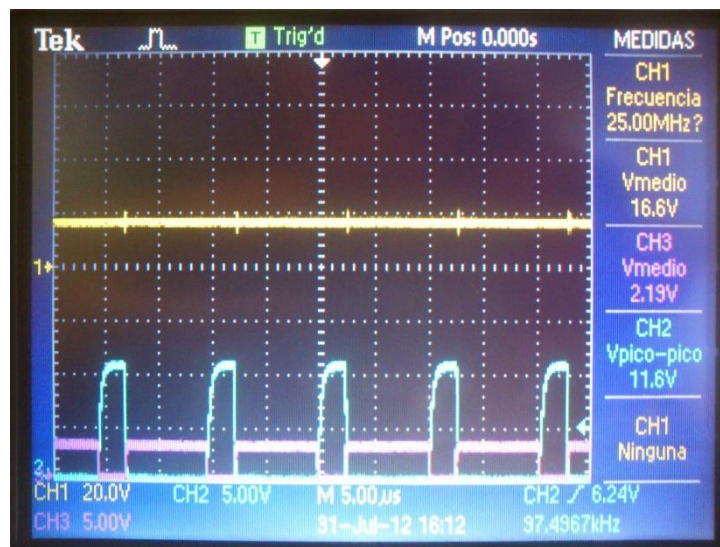


Ilustración 5.19 Señal Vo y DPWM

En esta anterior ilustración se observan unos pequeños picos de tensión los cuales coinciden con el punto de conmutación. Coincide en el punto en el que el MOSFET es apagado por la FPGA.

Potencia entregada a la carga según esta tensión de salida y ciclo de trabajo:

$$P_o = \frac{V_o^2}{R_l} = \frac{16'6^2}{75} = 3'76W$$

5.1.2 CICLO DE TRABAJO $d = 0'5$

Aquí se explica la prueba hecha con $d = 0'5$. Primero se ha simulado el circuito en lazo abierto. Lo primero que se comprueba es la tensión de salida frente a la tensión de entrada. De la tensión de salida se dice según la ilustración 5.20 que se obtiene una tensión de 24 V.

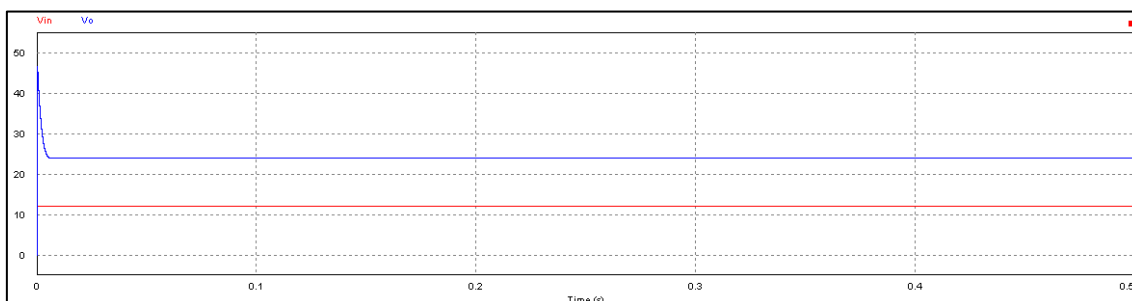


Ilustración 5.20 Señales de tensión de entrada y salida

Más adelante se comprueba que se encuentra en MCC y se ve que efectivamente según la corriente por la bobina que se observa en la ilustración 5.21 se encuentra en MCC ya que la corriente nunca es 0. La corriente tiene un valor medio de 0'66A

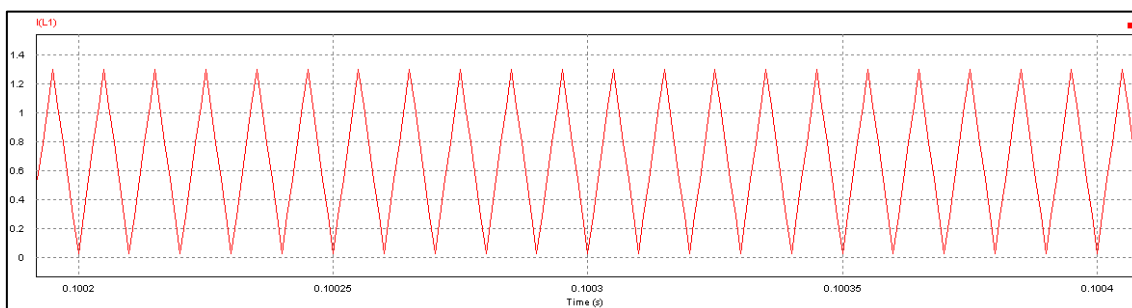


Ilustración 5.21 Señal de corriente de entrada

Ahora se ha comprobado la parte de la programación de la FPGA. Se ha probado con el Sw1 activado con el que se activa automáticamente un ciclo de trabajo de 0'5. En este caso no hace falta invertir nada ya que es simétrico al tratarse de $d = 0'5$.

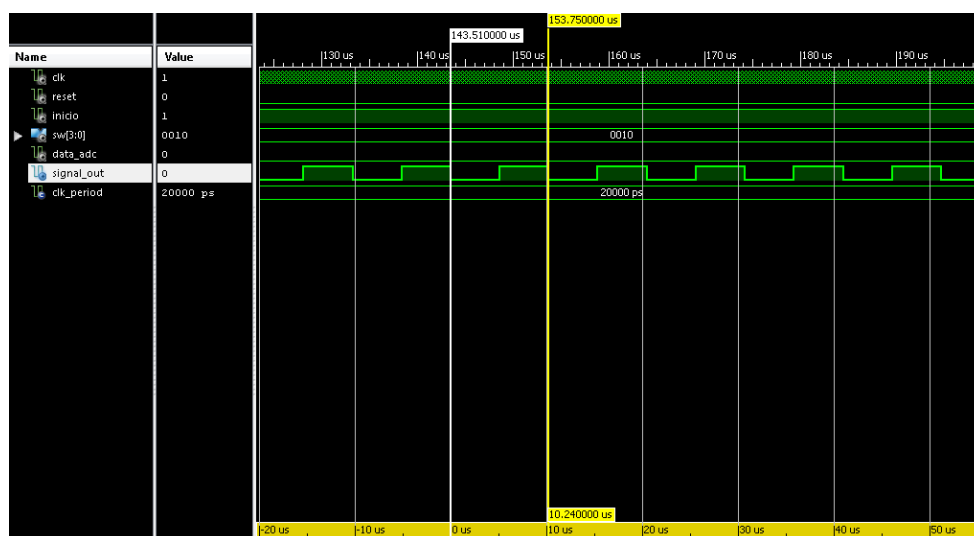


Ilustración 5.22 Simulación FPGA mediante Isim $d = 0'50$

La primera comprobación que se ha hecho ha sido en la fuente de alimentación. En la ilustración 5.23 se ve la fuente de alimentación con la corriente y tensión de entrada. Alimentando la planta con 12'1V se ve una corriente 0'73A lo que dice que es aproximadamente lo esperado en la simulación, se obtiene un poco más ya que la alimentación no es justo 12V y porque se trata de una prueba experimental.

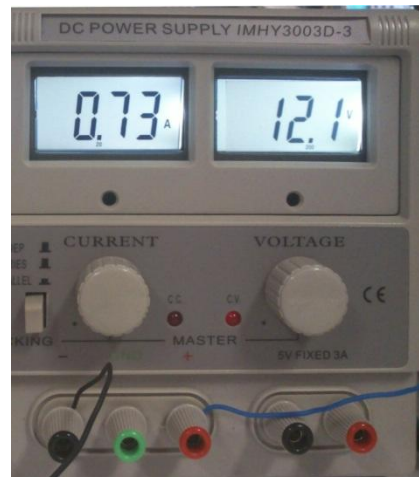


Ilustración 5.23 Fuente de alimentación

La siguiente comprobación es sobre las salidas de la FPGA y del circuito acondicionador. Y como se ve en la ilustración 5.24 se obtienen ambas señales. La señal amarilla es la DPWM de la FPGA y la señal turquesa es la señal a la salida del circuito acondicionador. Se asegura la frecuencia de conmutación a 97'499KHz y una tensión de aproximadamente 12V de conmutación para el MOSFET.

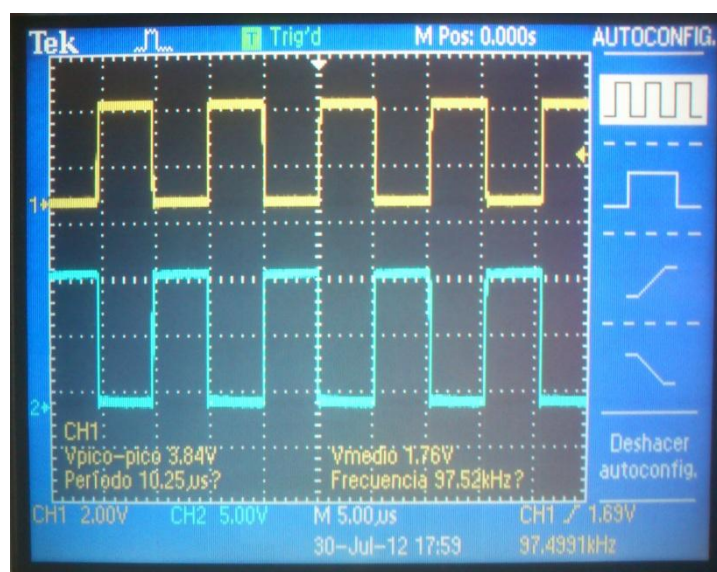


Ilustración 5.24 Señal DPWM invertida y no invertida

En la ilustración 5.25 se ven tres señales, la amarilla es la señal de tensión de salida con un valor de tensión medio de 24V, también se observan dos señales más que son las señales de conmutación. El valor de tensión obtenida es el esperado lo que da a entender que la planta funciona sin problemas. En esta ilustración se pueden apreciar picos en la tensión de salida. Estos son mayores que los obtenidos en la tensión con ciclo de trabajo de 0'25.

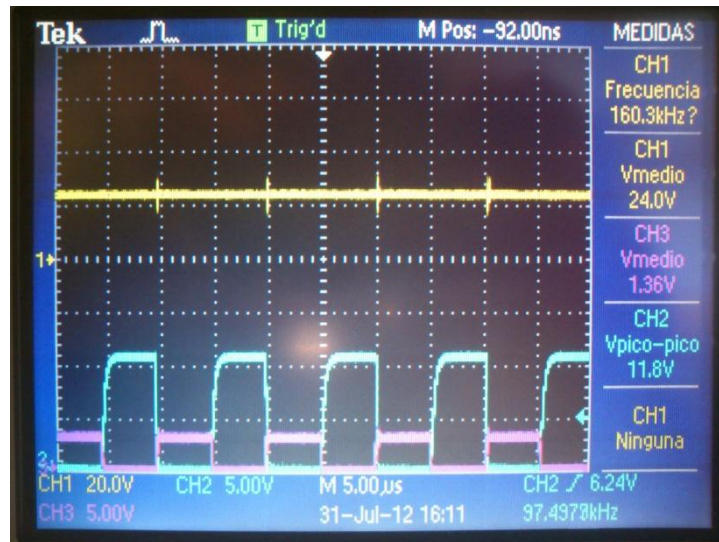


Ilustración 5.25 Señal Vo y DPWM

Potencia entregada a la carga según esta tensión de salida y ciclo de trabajo:

$$P_o = \frac{V_o^2}{R_l} = \frac{24^2}{75} = 7'68W$$

5.1.3 CICLO DE TRABAJO $d = 0'75$

Se ha hecho la misma simulación finalmente para el caso de ciclo de trabajo de 0'75. La siguiente ilustración 5.26 muestra las señales de tensión de entrada y de salida del convertidor elevador. Se ve la señal continua de alimentación de entrada que tiene un valor constante de 12V y la señal de salida que como se observa tiene un valor de 48V, valor que se esperaba según las especificaciones iniciales del proyecto.

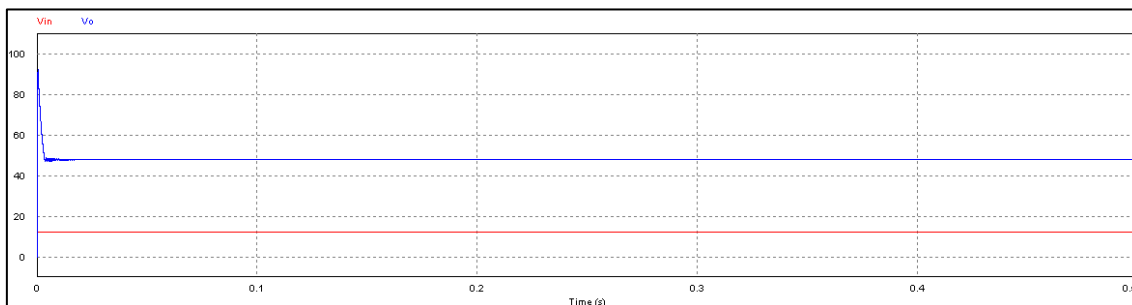


Ilustración 5.26 Señales de tensión de entrada y salida

También se observa en la siguiente ilustración 5.27 la señal de corriente por la bobina que tiene un valor medio de 2'66A, valor ideal. Se encuentra en MCC ya que la bobina calculada para ello aseguraba este estado.

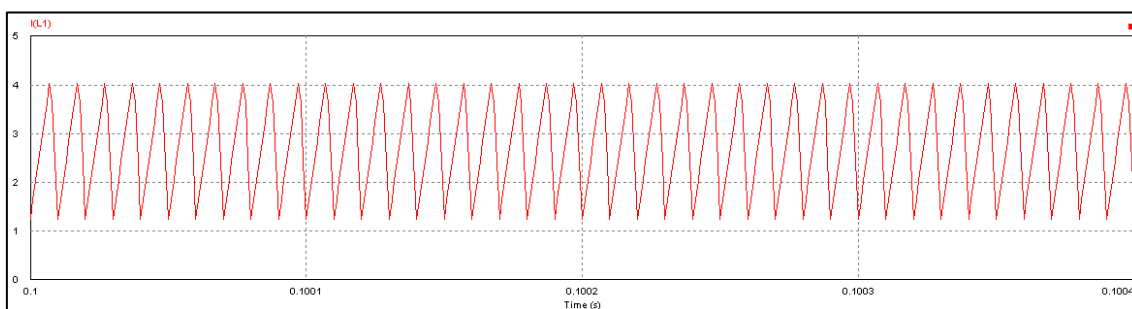


Ilustración 5.27 Señal de corriente de entrada

Ahora se ve una simulación del programa Isim con la que se puede observar el ciclo de trabajo generado por la señal `signal_out`. Esta se activa cuando `Sw2` está a nivel activo. Vemos como se ha obtenido un periodo de la señal DPWM de 10'24μs lo cual quiere decir frecuencia de conmutación de 97'656KHz.

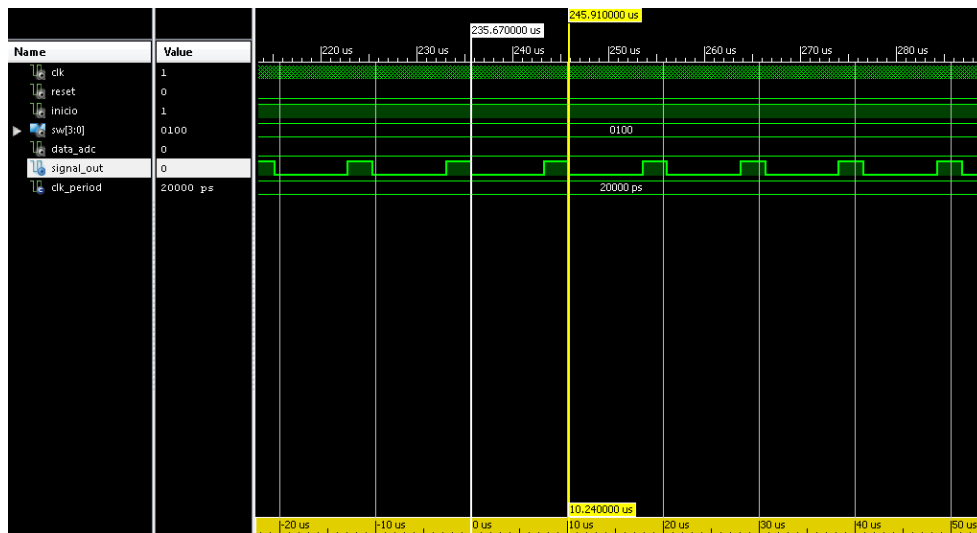


Ilustración 5.28 Simulación FPGA mediante Isim d= 0'75

Lo siguiente es comprobar como los casos anteriores es la fuente de alimentación asegurándose de que está alimentando la planta con 12V y que la corriente que sale de ella es la correcta. Se puede ver en la ilustración 5.29 como la corriente que alimenta el circuito es de 2'59A que es aproximadamente el valor que se espera.



Ilustración 5.29 Fuente de alimentación

Una vez comprobado que todo es normal, a la salida de la FPGA se comprueba la señal DPWM y la que se obtiene a partir del circuito acondicionador como en casos anteriores. Se muestra en la ilustración 5.30.

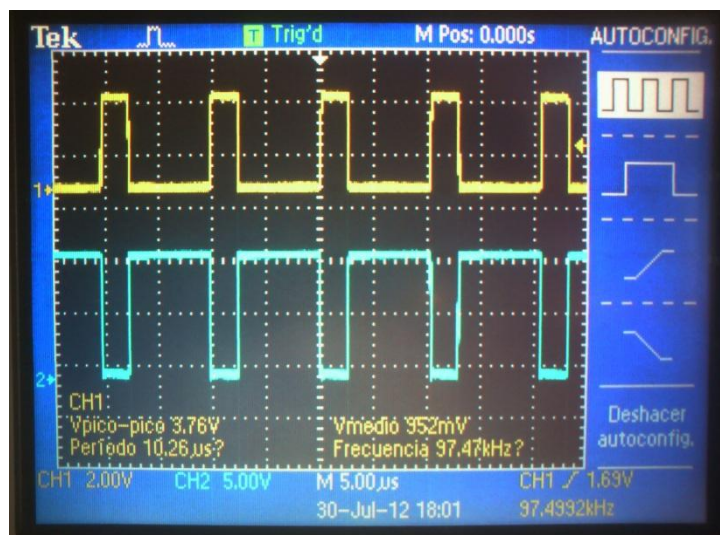


Ilustración 5.30 Señal DPWM invertida y no invertida

Comprobando las señales obtenidas que se ven en la ilustración 5.30 se ve que es todo perfecto y se crea sin problemas la señal DPWM y la señal del acondicionador perfectamente elevada e invertida con respecto a la DPWM de la FPGA.

La siguiente imagen es la obtenida de medir a la vez la señal de tensión de salida y las tensiones a la salida de la FPGA y a la salida del circuito acondicionador. La señal de tensión obtenida es de 45'2V aproximadamente, el valor de tensión de salida ideal es de 48V, esta diferencia de valor es perfectamente normal debido a ser una prueba experimental y a que todos los elementos son tan ideales como se esperan o se ven en un programa simulado. Una cosa reseñable que se observa de la tensión de salida es que no solo se ve un pico de tensión sino dos por cada punto de conmutación en el encendido y apagado del MOSFET. Esto es así al aumentar los niveles de tensión de los pulsos y de corriente, es ruido.



Ilustración 5.31 Señal Vo y DPWM

En la ilustración 5.32 se puede observar los dos picos en la señal de tensión de salida. Ya no solo ocurre cuando pasaba el MOSFET de encendido a apagado sino que pasa también en el trayecto de apagado a encendido. Puede ser debido al valor tan alto de corriente que pasa por la resistencia de carga.



Ilustración 5.32 Puntos de conmutación en Vo

Potencia entregada a la carga según esta tensión de salida y ciclo de trabajo:

$$P_o = \frac{V_o^2}{Rl} = \frac{45'2^2}{75} = 27'24W$$

La ilustración 5.33 muestra las tensiones y las potencias entregadas a la carga que se han ido obteniendo experimentalmente con respecto al ciclo de trabajo aplicado.

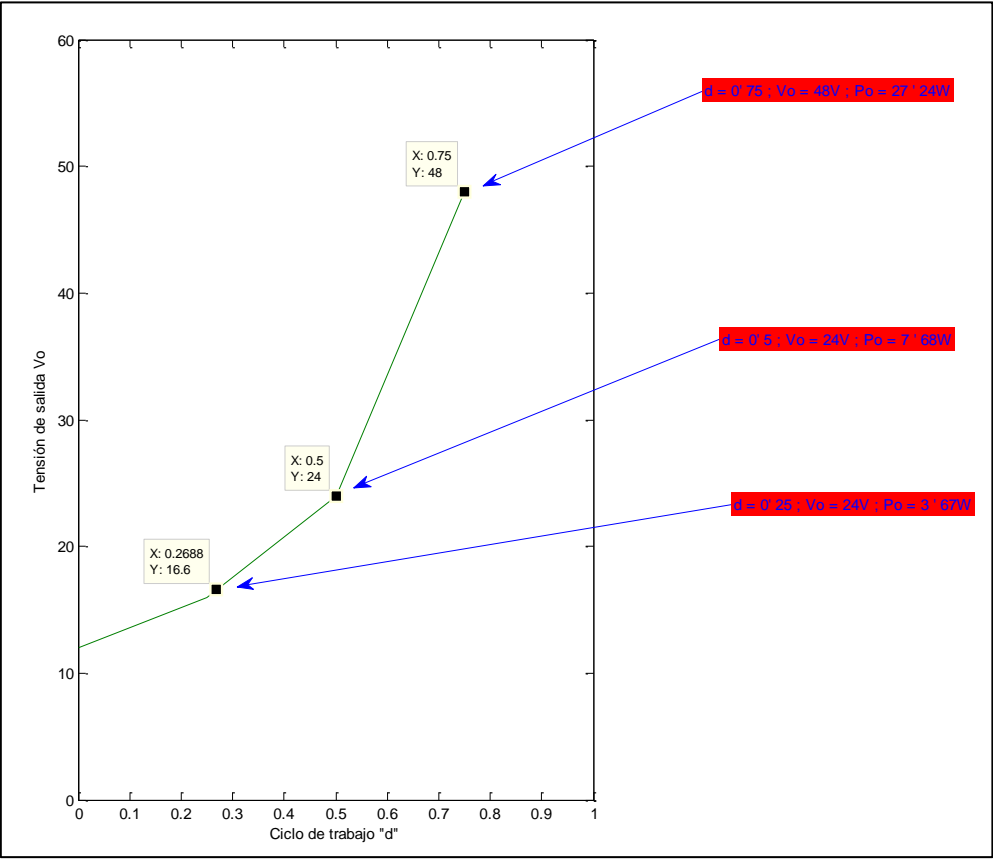


Ilustración 5.33 Gráfica de Vo frente a Ciclo de trabajo

6 PRESUPUESTO

Se ha redactado un resumen de los costes para la realización del proyecto. Incluye todo tipo de costes tanto materiales como personales.

6.1 COSTE DE MATERIAL

En lo referente a coste de material como bien se ha dicho del proyecto que tiene una parte digital y analógica se divide en esas dos mismas partes.

Coste material Analógico:

DESCRIPCIÓN	UNIDADES	PRECIO UNITARIO(€)	PRECIO TOTAL(€)
Bobina 47μF	1	2,64	2,64
MOSFET IRF530n	1	1,18	1,18
MOSFET VN0610L n	1	0,4	0,4
Resistencia 22kΩ 0,25W	1	0,018	0,018
Resistencia 820Ω 0,25W	1	0,018	0,018
Resistencia 150Ω 0,25W	1	0,018	0,018
Resistencia de carga 75Ω, 50W	1	2,98	2,98
Condensador 47μF 100V	2	0,68	0,68
Diodo MUR 410	1	0,61	0,61
Coste fabricación PCB	1	75	75
TOTAL			83,54

Coste material Digital

DESCRIPCIÓN	UNIDADES	PRECIO UNITARIO(€)	PRECIO TOTAL(€)
Basys SPartan-3E FPGA	1	59	59
PmodAD1- two 12-bit A/D inputs	1	19,99	19,99
TOTAL			78,99

6.2 COSTES DE PERSONAL

ACTIVIDAD	€/HORA	Nº HORAS	COSTE
Diseño	20	200	4.000
Documentación	15	100	1.500
TOTAL		300	5.500

6.3 PRESUPUESTO FINAL

Se han tomado los costes finales anteriores y se han sumado aplicando el porcentaje de IVA.

TIPO DE COSTE	COSTE
Coste de material	162,53€
Coste de personal	5.500€
SUBTOTAL	5.662,53€
I.V.A. (21%)	1.189,13€
TOTAL	6.851,66€

7 CONCLUSIONES

El objetivo principal de este trabajo era la adquisición de conocimientos sobre los controles digitales para convertidores de potencia conmutados. La idea principal era el conocimiento de la aplicación de un control a un convertidor elevador por técnicas digitales además del conocimiento de la herramienta para su implementación.

Por lo tanto se han adquirido los siguientes conocimientos:

- Ventajas e inconvenientes sobre el control digital a convertidores conmutados.
- Aplicaciones del control digital.
- Diseño de convertidor CC/CC conmutado teniendo en cuenta especificaciones.
- Diseño de un regulador empleando el método del factor k y discretización del mismo.
- Aplicación de la ecuación en diferencias para la implementación del regulador digital.
- Validación por simulación de los diferentes tipos de reguladores.
- Diseño de la placa de circuito impreso y construcción de la etapa de potencia.
- Medidas del convertidor construido mediante lazo abierto conmutada por la FPGA.
- Conocimiento del módulo de conversor analógico-digital.

Como trabajos futuros que continuarían este proyecto tendríamos los siguientes:

- Aplicación del lazo de control mediante ecuación en diferencias a través de la FPGA, con el uso del módulo ADC.
- Investigación la aplicación de otros métodos de regulación como redes neuronales o control borroso.

8 REFERENCIAS

- [1] – Hart, Daniel W. “Electrónica de Potencia.” Ed. Prentice Hall, Madrid, 2001.

- [2] – Manuales de OrCAD Capture y OrCAD Layout, versión Cadence OrCAD 10.5.

- [3] – Reference Manual Digilent PmodAD1 Module Converter Board, 2011.

- [4] – DataSheet Analog Devices AD7476A modulo conversor AD.

- [5] – Manual Matlab, versión R2010a.

- [6] – Manual de ayuda SmartCtrl, Versión 1.03 2009.

- [7] – Reference Manual Digilent Basys Board, FPGA Xilinx Spartan3E-100, 2007.

- [8] – Manual de ayuda PSIM, Versión 9.0.3.400 2001-2010.

- [9] – Wikipedia. Digital filter – Wikipedia, the free encyclopedia, 2012.

- [10] – H. Dean Venable. The k factor: Anew mathematical tool for stability analysis and synthesis. “Linear Technology”. 1983.

- [11] – David. L. Jones. PCB Design Tutorial, “Silicon Chip magazine”, Oct-Dec 2003.

- [12] – Wikipedia. Bilinear transform – Wikipedia, the free encyclopedia, 2012.